



Universidade Federal do ABC
Arquitetura de Computadores
2020.Q1 – Teste 5

Prof. Emílio Franceschini
12 de Maio de 2020

Nome:	RA:
--------------	------------

- **A leitura completa das instruções faz parte da sua avaliação!**
- Em caso de fraude, **TODOS** os envolvidos:
 - **Receberão conceito final F (reprovado) na disciplina**
 - Serão **denunciados** à Comissão de Transgressões Disciplinares Discentes da Graduação e à Comissão de Ética da UFABC cuja punição pode resultar em **advertência, suspensão ou desligamento**, de acordo com os artigos 78-82 do Regimento Geral da UFABC e do artigo 25 do Código de Ética da UFABC.

Questão 1 Seu chefe pediu para você avaliar o quão importante é o princípio da localidade para o emprego de memórias caches. Para isto, você vai rodar alguns experimentos em um computador com uma cache única (L1) de dados e a memória principal. Você vai focar exclusivamente em acessos à dados (deixando instruções de lado). As latências (em ciclos de CPU) dos diferentes tipos de acessos são os seguintes:

Tipo	Nº Ciclos
Cache Hit	1
Cache Miss	105
Acesso à memória com L1 desabilitada	100

- Quando for executado um programa com a taxa de miss total de 5%, qual será o tempo de acesso médio (em ciclos) à memória?
- Você desenvolve um programa que faz acessos completamente aleatórios à memória, não há localidade. Para tal, você utiliza uma array de 256 MB (pequena o suficiente para que ela caiba completamente na memória principal), e acessos a posições aleatórias da memória são feitos continuamente (os índices aleatórios são gerados a partir de um gerador que gera todos os índices segundo uma distribuição uniforme). Se sua cache de dados tiver tamanho 64KB, qual será o tempo de acesso médio à memória?
- Se você comparar os resultados obtidos no item anterior com os tempos de acesso com a cache desabilitada, qual é a conclusão que você pode tomar a respeito da relação da localidade e sua relação com a memória cache?
- Em seus estudos você observou que um hit na cache economiza 99 ciclos (1 ciclo *vs.* 100), mas também observou que causa um atraso de 5 ciclos no caso de um miss (105 ciclos *vs.* 100). No caso geral, podemos expressar esses dois valores (G - Ganhos, P - Perdas) e determinar qual é a maior taxa de misses para o qual o uso de uma memória cache se mostra vantajosa e passa a atrasar a execução. Determine essa taxa.

Questão 2 Neste exercício assumamos que temos uma cache com 512 bytes e blocos de 64 bytes. Assumamos também que a memória principal possui 2KB. Podemos ver a memória principal como uma array de blocos de 64 bytes cada denominados: M0, M1, M2, ..., M31. A tabela abaixo mostra a localização de alguns blocos de memória que poderiam ser dispostos em diversas entradas da cache se esta fosse totalmente associativa.

- Mostre como o conteúdo da cache seria disposto se ela utilizasse mapeamento direto.
- Repita o item anterior, mas agora considerando que a cache seja organizada como associativa por conjuntos com 4 vias.

Bloco da cache	Conjunto	Via	Blocos que podem ser armazenados neste bloco da cache
0	0	0	M0, M1, M2, ..., M31
1	0	1	M0, M1, M2, ..., M31
2	0	2	M0, M1, M2, ..., M31
3	0	3	M0, M1, M2, ..., M31
4	0	4	M0, M1, M2, ..., M31
5	0	5	M0, M1, M2, ..., M31
6	0	6	M0, M1, M2, ..., M31
7	0	7	M0, M1, M2, ..., M31