

Microprocessadores Modernos

Pipeline

Superescalar

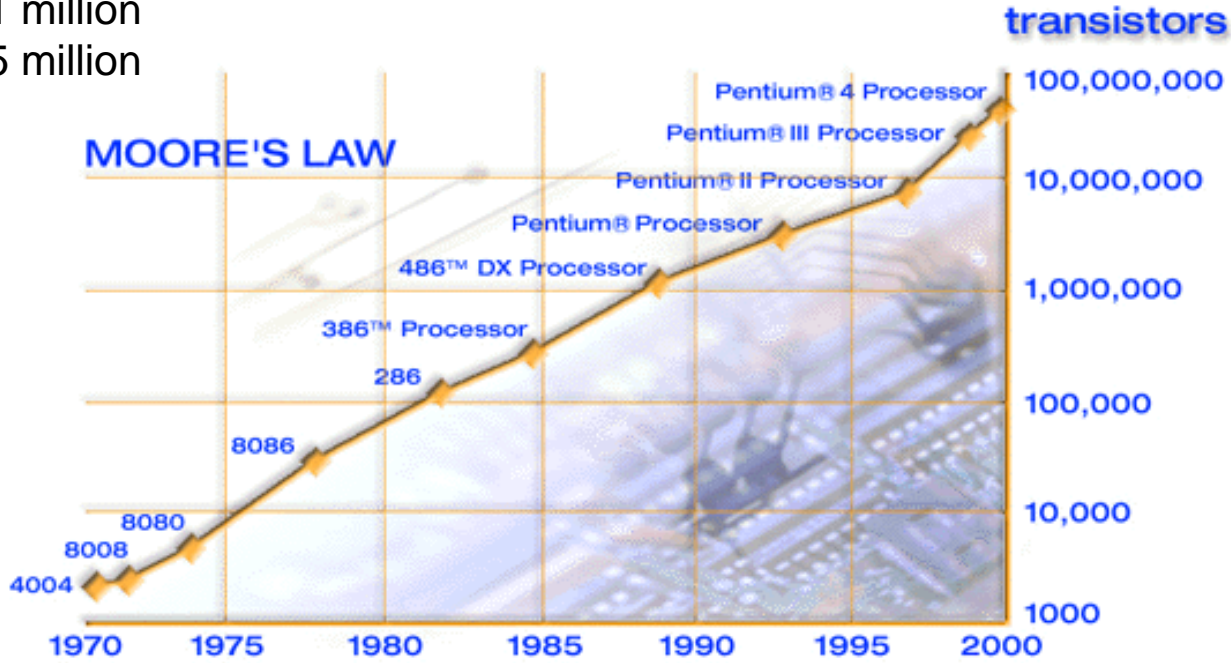
RISC, CISC

Tipos de BUS, Memórias

Microprocessador	Ano	Transistores
4004	1971	2,250
8008	1972	2,500
8080	1974	5,000
8086	1978	29,000
286	1982	120,000
386™	1985	275,000
486™ DX	1989	1,180,000
Pentium®	1993	3,100,000
Pentium II	1997	7,500,000
Pentium III	1999	24,000,000
Pentium 4	2000	42,000,000
Pentium 4 (Cedar)	2006	184,000,000
Core2duo Wolf	2008	230,000,000
6-Core i7Ivy Bridge	2010	1.1 million
18-Core Xeon	2014	5.5 million

GPU nVidia Titan X 2015
8 Billion transistors

GTX 1080 (Pascal 16nm)
12 Billion

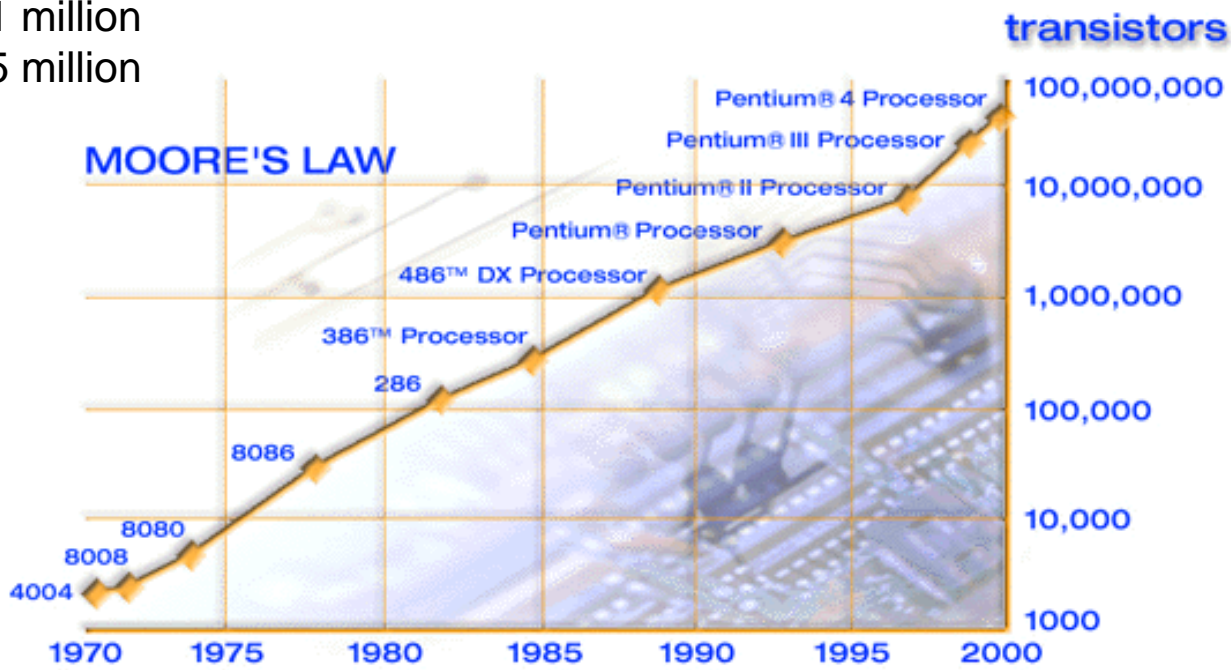


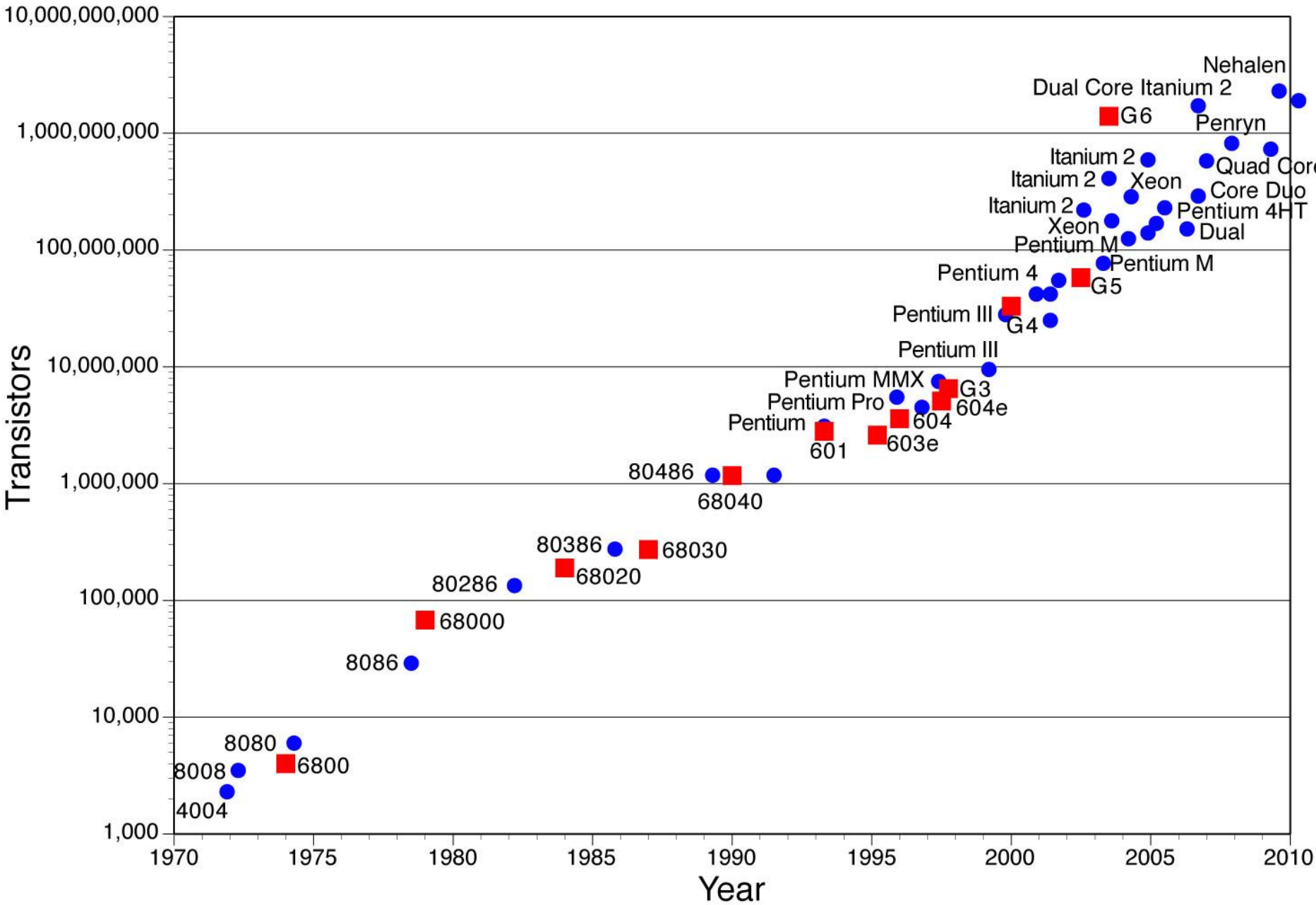
Microprocessador	Ano	Transistores
4004	1971	2,250
8008	1972	2,500
8080	1974	5,000
8086	1978	29,000
286	1982	120,000
386™	1985	275,000
486™ DX	1989	1,180,000
Pentium®	1993	3,100,000
Pentium II	1997	7,500,000
Pentium III	1999	24,000,000
Pentium 4	2000	42,000,000
Pentium 4 (Cedar)	2006	184,000,000
Core2duo Wolf	2008	230,000,000
6-Core i7Ivy Bridge	2010	1.1 million
18-Core Xeon	2014	5.5 million

Lei de Moore: O número de transistores componentes integrados em um único Chip dobraria a cada 18 meses
--Gordon Moore(1929-)

GPU nVidia Titan X 2015
 8 Billion transistors

GTX 1080 (Pascal 16nm)
 12 Billion





ISA – Instruction Set Architecture

CISC: Complex Instruction Set Computer.

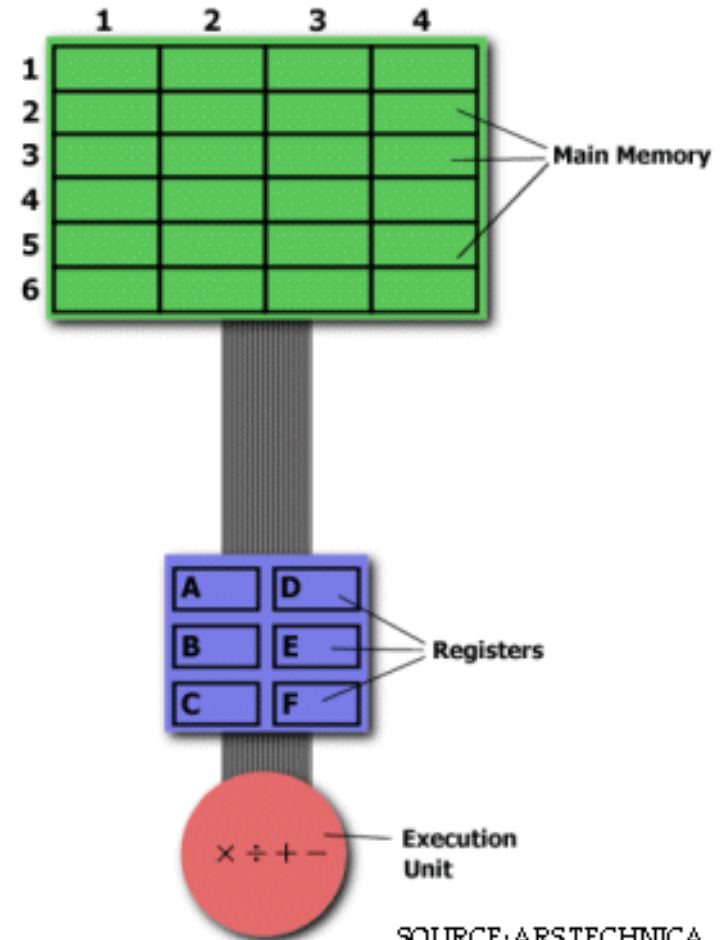
RISC: Reduced Instruction Set Computer.

MISC: Minimal instruction set computer

ZISC: Zero instruction set computer

VLIW: Very long instruction word

Outros menos usados



CISC x RISC

CISC

- Emphasis on hardware
- Includes multi-clock complex instructions
- Memory-to-memory: "LOAD" and "STORE" incorporated in instructions
- Small code sizes, high cycles per second
- Transistors used for storing complex instructions

RISC

- Emphasis on software
- Single-clock reduced instruction only
- Register to register: "LOAD" and "STORE" are independent instructions
- Low cycles per second, large code sizes
- Spends more transistors on memory registers

RISC

RISC:

Objetivo: desenvolver um processador com um conjunto simplificado de instruções para reduzir os ciclos de máquina necessários para execução de uma instrução. Em compensação, funções complexas exigiriam mais instruções para serem executadas.

- Processadores sem microprogramas (sem interpretação de microinstrução)
- Ganho: instruções até 10 vezes mais rápidas que CISC.

Princípios de Projeto:

- Menor consumo de instrução por watt
- Todas instruções executadas por hardware
- Maximizar a taxa de execução de instruções
- Instruções devem ser fáceis de decodificar
- restringir o acesso à memória: somente LOAD e STORE
- ter bastante registradores

Problemas:

- compatibilidade com softwares existentes
- CISC implementa parte das idéias do RISC. Exemplo: instruções mais simples são executadas por circuitos RISC (arquiteturas híbridas)

CISC x RISC

Equação de desempenho:

$$\frac{\text{time}}{\text{program}} = \frac{\text{time}}{\text{cycle}} \times \frac{\text{cycles}}{\text{instruction}} \times \frac{\text{instructions}}{\text{program}}$$

Exemplos:

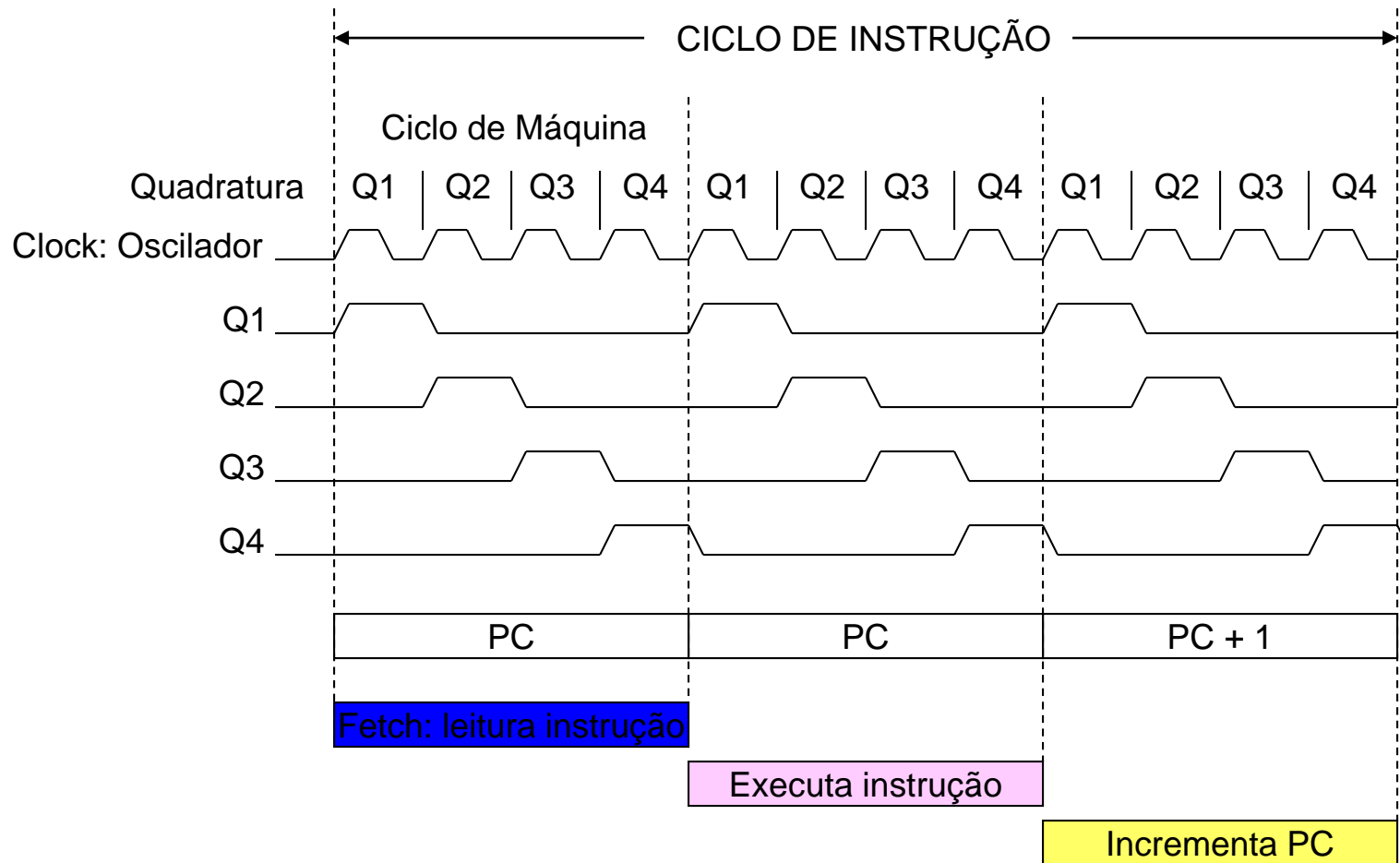
CISC:

- Intel Desktop lines (Pentium, core, x86)
- Motorola Desktop lines

RISC:

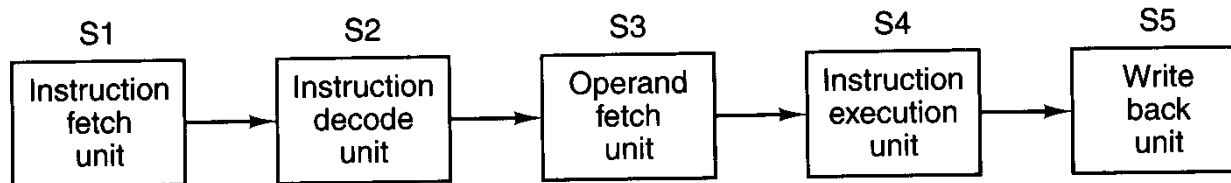
- SUN Spark
- PowerPC: 1a CPU RISC para Desktop
- ATOM: 80386 reduzido (tosado)
- ARM: Tecnologia para dispositivos móveis (iPhone, Android)
- ATMEL AVR: Arduino
- PIC

DIAGRAMA DE TEMPOS DO PROCESSADOR

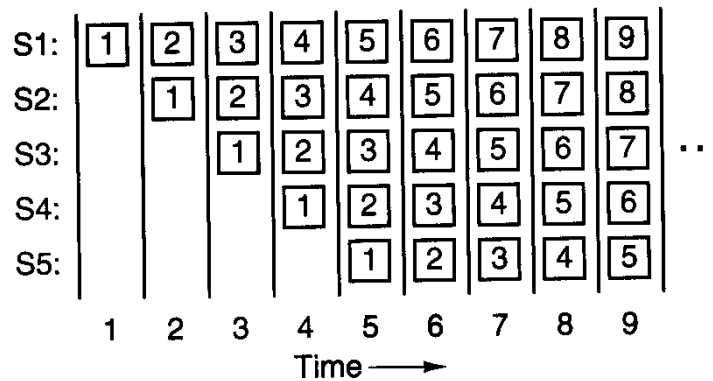


PIPELINE

Execução de um instrução em várias partes, cada parte sendo executada por um hardware dedicado (estágios), e todos executando ao mesmo tempo, em paralelo. Exemplo: pipeline de 5 estágios, com execução simultânea de 5 instruções



(a)



(b)

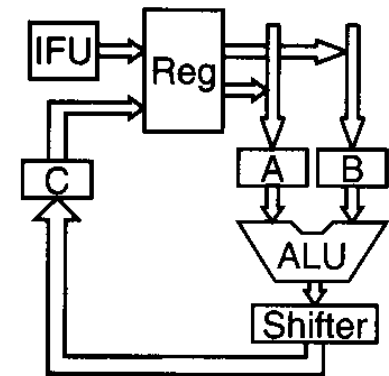
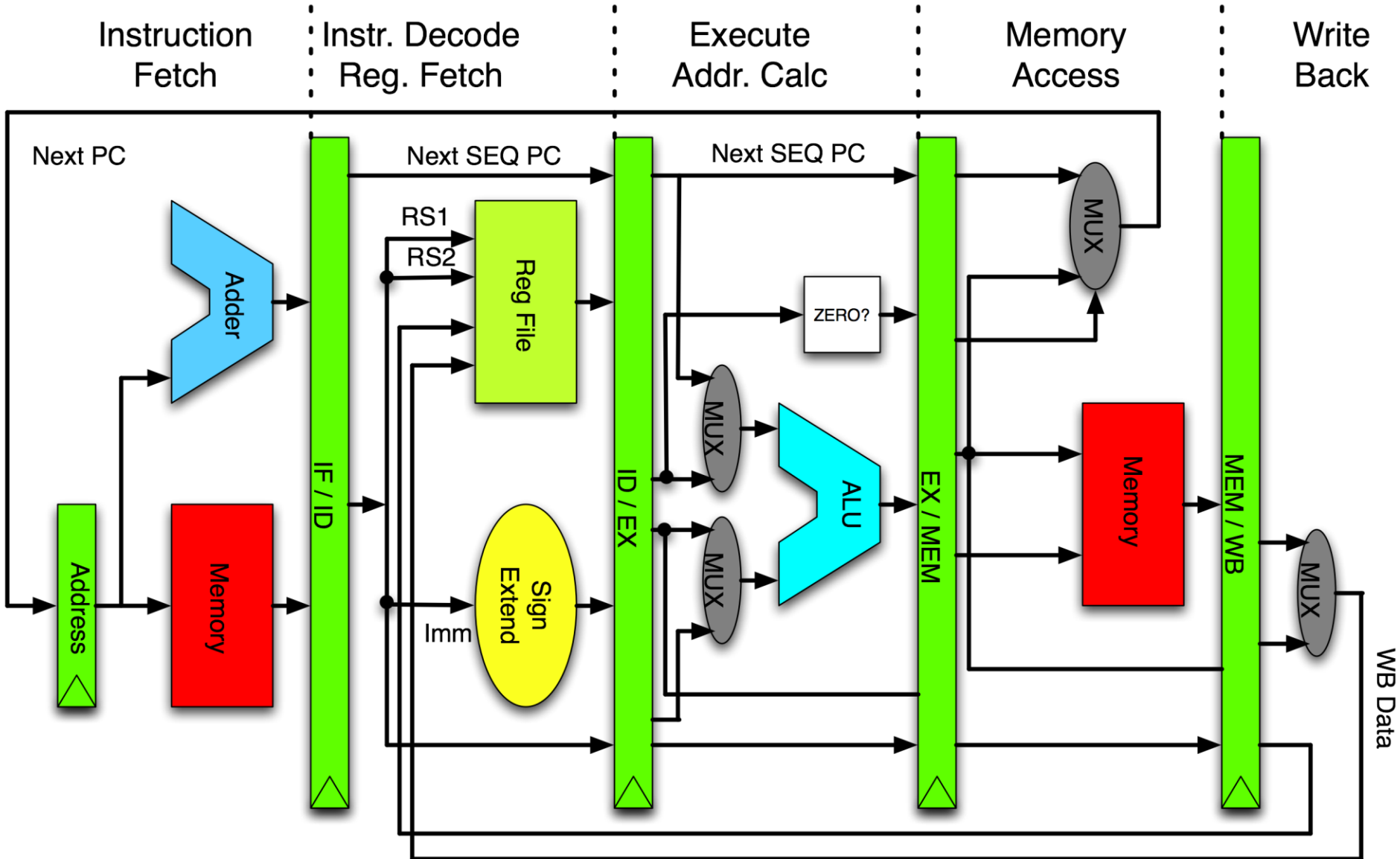


Figure 2-4. (a) A five-stage pipeline. (b) The state of each stage as a function of time. Nine clock cycles are illustrated.

PIPELINE



SUPERESCALAR

Se um pipeline é bom, dois é melhor...

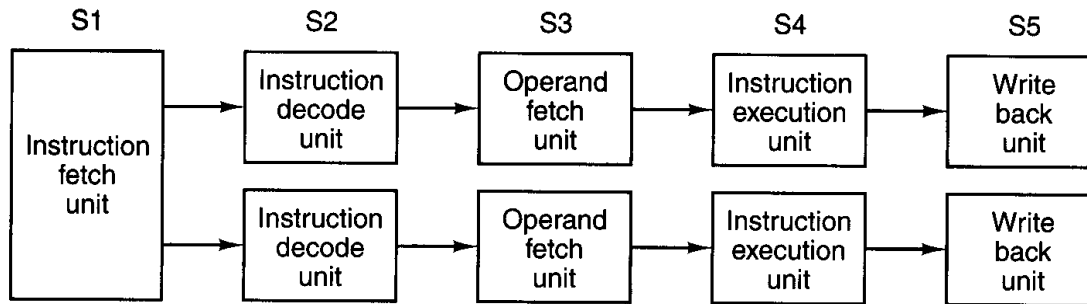
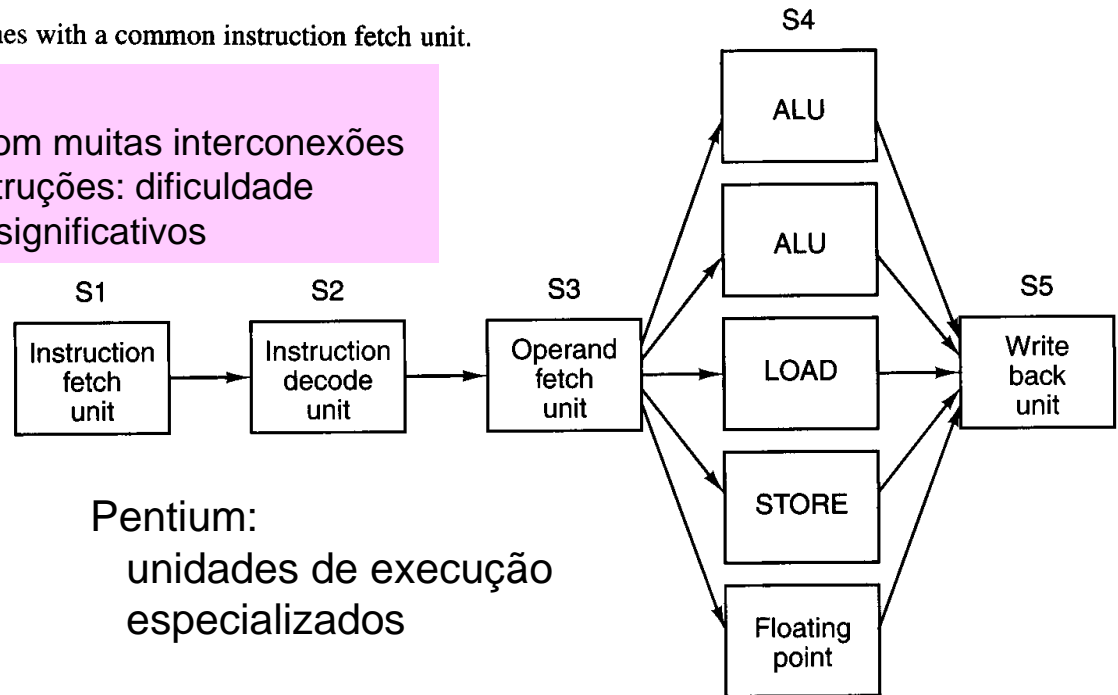


Figure 2-5. (a) Dual five-stage pipelines with a common instruction fetch unit.

Porque não quatro pipelines?

- complexidade de hardware, com muitas interconexões
- interdependência entre as instruções: dificuldade em Compilação, sem ganhos significativos



Pentium:
unidades de execução
especializados

Intel 486:
u pipeline (principal)
v pipeline
Compilador:
- gera pares compatíveis
de instruções

Figure 2-6. A superscalar processor with five functional units.

SUPERESCALAR

ILP – Instruction Level Parallelism

(múltipla redundância de circuitos funcionais)

Superescalar pode ser

- Pipelined
- Não-pipelined

Técnica:

1. As instruções são emitidas a partir do fluxo sequencial.
2. A CPU verifica dinamicamente as dependências de dados entre as instruções em tempo de execução.
3. A CPU aceita múltiplas instruções, que não apresentem dependências, por ciclo de clock.

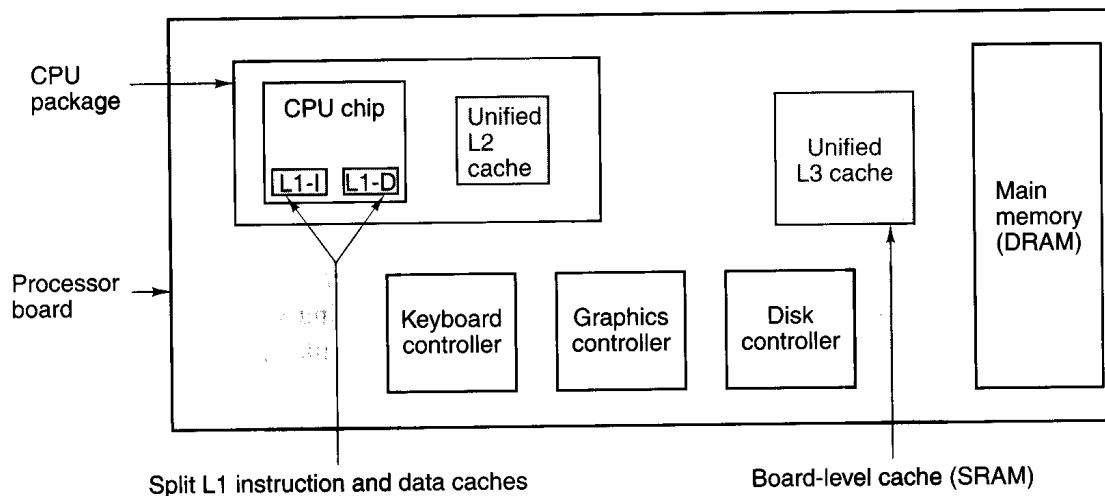
MEMÓRIAS CACHE

Avanços da tecnologia microeletrônica possibilita a integração de circuitos cada vez menores e mais rápidos.

- microprocessadores cada vez mais rápidos
- memórias mais densas em detrimento da velocidade
- ampliação da diferença de velocidade entre processadores e memória

Memórias Cache:

- memórias estáticas (SRAM) de grande velocidade mas baixa densidade
- utilizadas para compatibilizar as velocidades entre processador e a memória
- palavras-chaves: **taxa de acerto** (hit-rate); **write-back** (estratégia de escrita de dados)
previsão de saltos (branch prediction); **execução fora de ordem**



Cache:

- L1: nível 1, mais próxima ao processador (on-chip)
 - L1 – I: cache de instruções
 - L1 – D: cache de dados
- L2: nível 2 (on-chip)
- L3: nível 3 (motherboard)
- L4: nível 4

...

Microarquitecturas Intel: P6

Arquitetura do controle de cache do P6 (base dos processadores Pentium 6ª geração

de 1995 até 2000

500 nm a 180 nm

Pentium Pro

Pentium III)

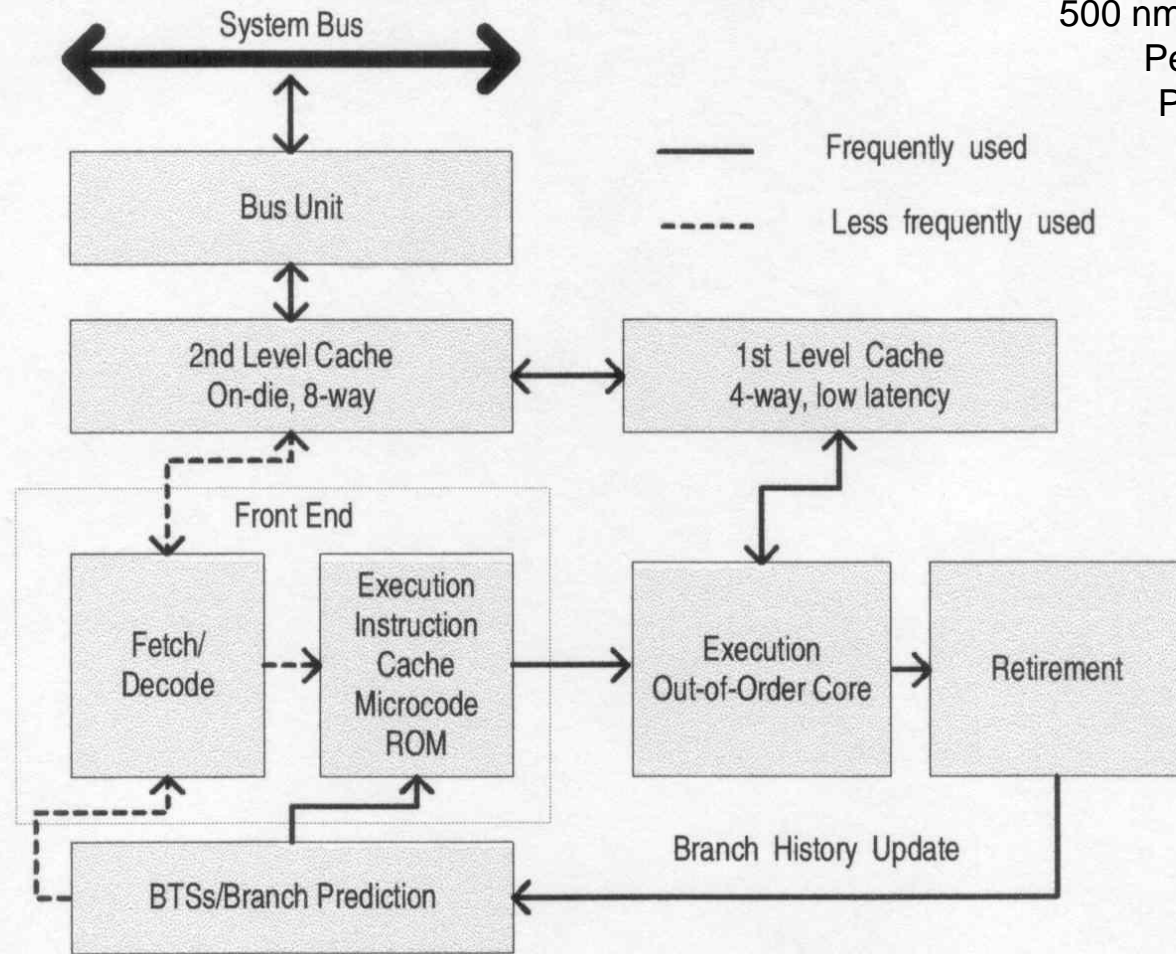


Figure 2-1. The P6 Processor Micro-Architecture with Advanced Transfer Cache Enhancement

Microarquitecturas Intel: Netburst

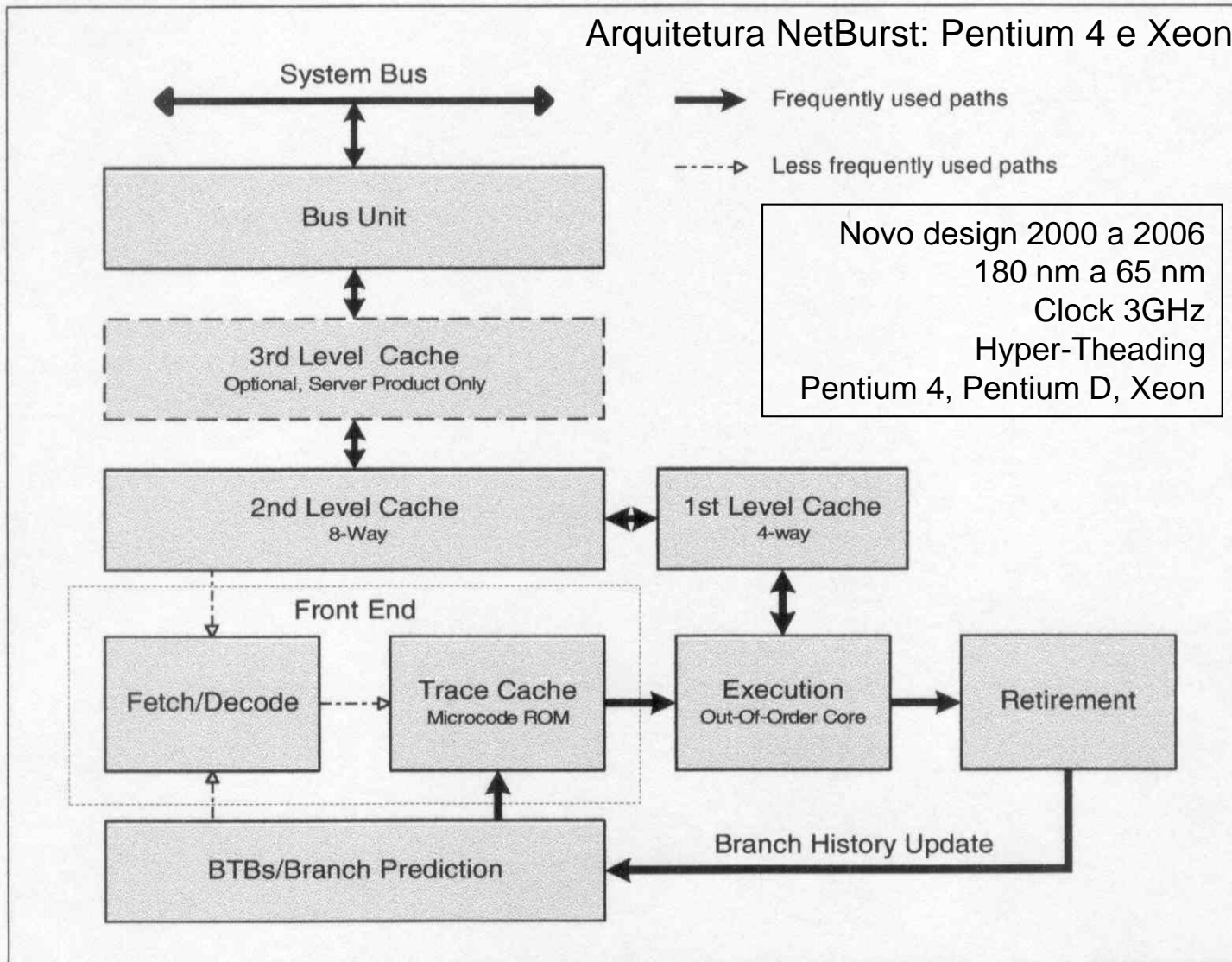
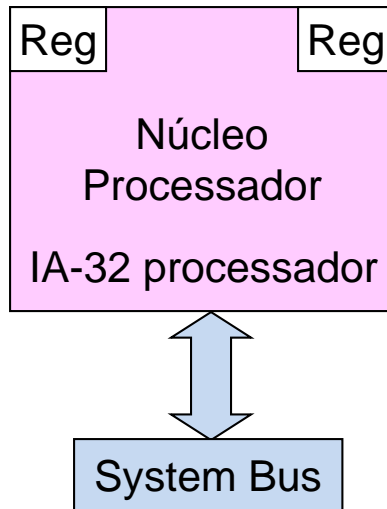


Figure 2-2. The Intel NetBurst Micro-Architecture

Intel Hyper-Threading

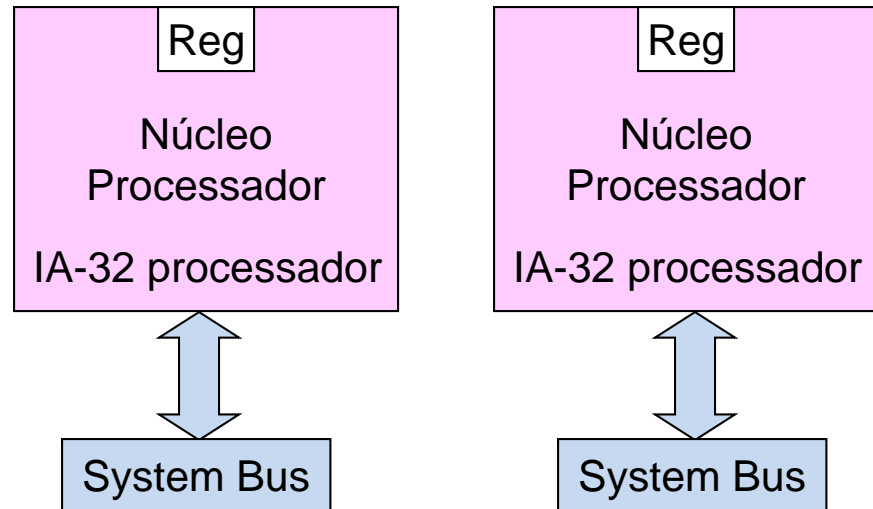
- Execução paralela de dois conjuntos independentes de instruções (threads)
- Dois processadores lógicos com registradores independentes, mas que compartilham um processador físico e barramento do sistema (system bus)
- Necessita do suporte do Sistema Operacional, com chipset e BIOS adequados

Processador IA-32
com Hyper-Threading



Dois processadores lógicos
compartilhando o Núcleo
e o System Bus

Sistema tradicional com Multiprocessadores
(dois processadores Xeon)



Cada processador possui o seu
próprio Núcleo e System Bus

MICROPROCESSADORES DA FAMILIA INTEL

The screenshot shows the Windows Task Manager Performance tab. The CPU section is highlighted, showing 5% utilization at 2.98 GHz. The left sidebar lists other system metrics: Memory (3.3/12.0 GB, 27%), Disk 0 (C:) (0%), Disk 1 (E:) (0%), Disk 2 (D:) (0%), and two Ethernet adapters (0 Kbps). The main CPU section displays a 60-second utilization graph and a table of hardware specifications.

Task Manager

File Options View

Processes Performance App history Startup Users Details Services

CPU

Intel(R) Core(TM) i7 CPU 960 @ 3.20GHz

% Utilization over 60 seconds

Utilization	Speed	Maximum speed:	3,20 GHz
5%	2,98 GHz	Sockets:	1
Processes	Threads	Cores:	4
74	1217	Logical processors:	8
Up time		Virtualization:	Enabled
0:10:15:25		L1 cache:	256 KB
		L2 cache:	1,0 MB
		L3 cache:	8,0 MB

Fewer details | Open Resource Monitor

MICROPROCESSADORES DA FAMILIA INTEL

Table 2-2. Key Features of Previous Generations of IA-32 Processors

Intel Processor	Date Introduced	Max. Clock Frequency at Introduction	Transistors per Die	Register Sizes ¹	Ext. Data Bus Size ²	Max. Extern. Addr. Space	Caches
8086	1978	8 MHz	29 K	16 GP	16	1 MB	None
Intel 286	1982	12.5 MHz	134 K	16 GP	16	16 MB	Note 3
Intel 386 DX Processor	1985	20 MHz	275 K	32 GP	32	4 GB	Note 3
Intel 486 DX Processor	1989	25 MHz	1.2 M	32 GP 80 FPU	32	4 GB	L1: 8KB
Pentium Processor	1993	60 MHz	3.1 M	32 GP 80 FPU	64	4 GB	L1: 16KB
Pentium Pro Processor	1995	200 MHz	5.5 M	32 GP 80 FPU	64	64 GB	L1: 16KB L2: 256KB or 512KB
Pentium II Processor	1997	266 MHz	7 M	32 GP 80 FPU 64 MMX	64	64 GB	L1: 32KB L2: 256KB or 512KB
Pentium III Processor	1999	500 MHz	8.2 M	32 GP 80 FPU 64 MMX 128 XMM	64	64 GB	L1: 32KB L2: 512KB
Pentium III and Pentium III Xeon Processors	1999	700 MHz	28 M	32 GP 80 FPU 64 MMX 128 XMM	64	64 GB	L1: 32KB L2: 256KB

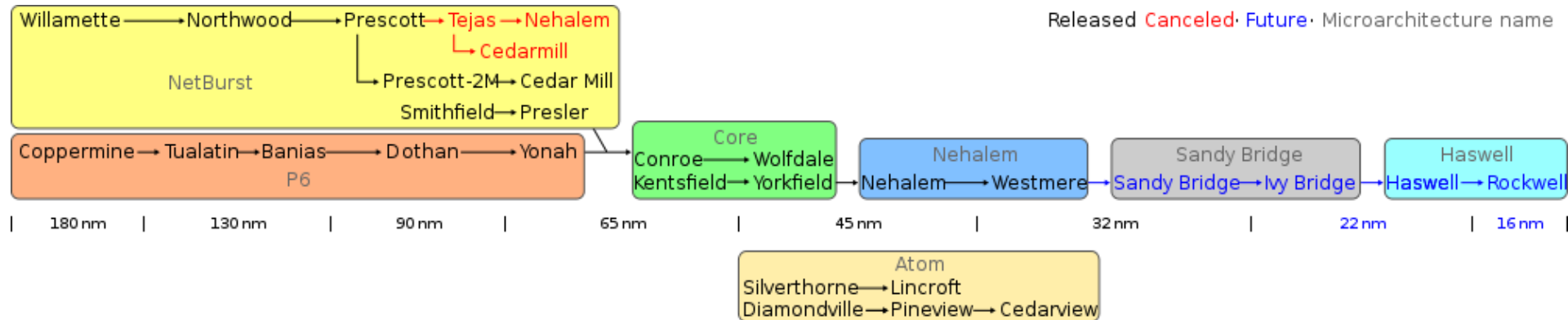
← L2 externo

Table 2-1. Key Features of Most Recent IA-32 Processors

Intel Processor	Date Introduced	Micro-Architecture	Clock Frequency at Introduction	Transistors Per Die	Register Sizes ¹	System Bus Bandwidth	Max. Extern. Addr. Space	On-Die Caches ²
Pentium 4 Processor	2000	Intel NetBurst Micro-architecture	1.50 GHz	42 M	GP: 32 FPU: 80 MMX: 64 XMM: 128	3.2 GB/s	64 GB	12K μ op Execution Trace Cache; 8KB L1; 256-KB L2
Intel Xeon Processor	2001	Intel NetBurst Micro-architecture	1.70 GHz	42 M	GP: 32 FPU: 80 MMX: 64 XMM: 128	3.2 GB/s	64 GB	12K μ op Trace Cache; 8-KB L1; 256-KB L2
Intel Xeon Processor	2002	Intel NetBurst Micro-architecture; Hyper-Threading Technology	2.20 GHz	55 M	GP: 32 FPU: 80 MMX: 64 XMM: 128	3.2 GB/s	64 GB	12K μ op Trace Cache; 8-KB L1; 512-KB L2
Intel Xeon Processor MP	2002	Intel NetBurst Micro-architecture; Hyper-Threading Technology	1.60 GHz	108 M	GP: 32 FPU: 80 MMX: 64 XMM: 128	3.2 GB/s	64 GB	12K μ op Trace Cache; 8-KB L1; 256-KB L2; 1-MB L3
Intel Pentium 4 Processor supporting Hyper-Threading Technology	2002	Intel NetBurst Micro-architecture; Hyper-Threading Technology	3.06 GHz	55M	GP: 32 FPU: 80 MMX: 64 XMM: 128	4.2 GB/s	64 GB	12K μ op Execution Trace Cache; 8KB L1; 512-KB L2
Intel Pentium M Processor	2003	Intel Pentium M Processor	1.60 GHz	77M	GP: 32 FPU: 80 MMX: 64 XMM: 128	3.2 GB/s	64 GB	L1: 64KB L2: 1MB

← Centrino Notebooks

Evolução das Microarquiteturas Intel



Modelo **Tic-Toc**

(search Intel Tic-Toc Model)

Tic = Novo processo de fabricação

Toc = Nova micro-arquitetura

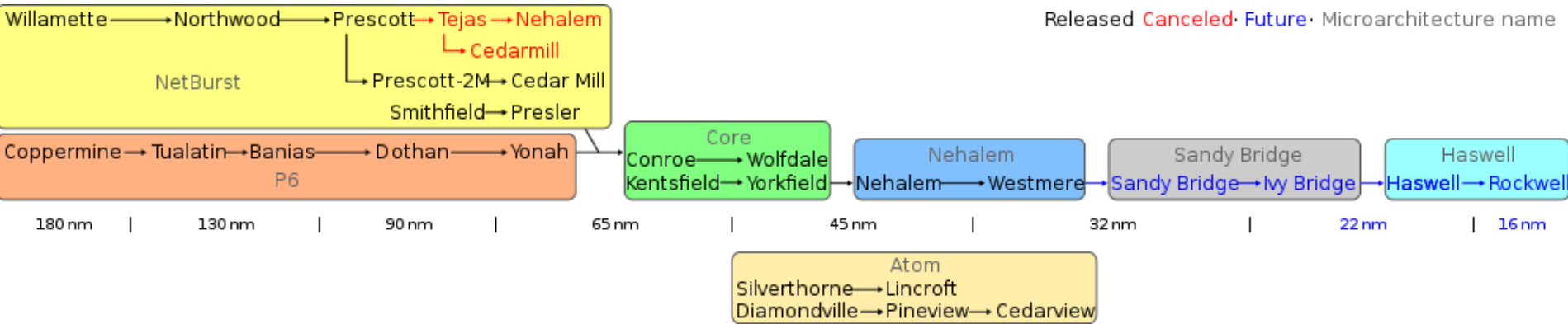
Ex:

Skylake (2015) Tic (10nm) → IcyLake (2018) – Otimização – Toc (10nm) →

Tigerlake (2019) Tic (7nm) → ??? – Otimização – Toc →

...?? Tic (5nm)

Evolução das Microarquitecturas Intel



The "Tick-Toc" Evolution to Intel® 6th Generation

32nm	22nm	14nm
2011	2012	2013
Sandy Bridge	Ivy Bridge 3 rd Gen	Haswell 4 th Gen
32nm (tock)	22nm (tick)	22nm (tock)
		2014
		Broadwell 5 th Gen
		14nm (tick)
		2015
		Skylake 6 th Gen
		14nm (tock)

Sandy Bridge Microarchitecture Haswell Microarchitecture

INTEL ITANIUM, ITANIUM 2: IA-64

Iniciativa da Intel em criar uma nova família de processadores a partir do zero, sem a complexidade do IA-32 e sem o compromisso da compatibilidade do software.

- arquitetura 64 bit; núcleo RISC
- modelo: EPIC (Explicitly Parallel Instruction Computing)
 - Instruções: grupos de três instruções, chamados de Bundle (128 bits)
 - Compilador: assegurar que as três instruções são compatíveis entre si
 - . reordenar instruções
 - . checar as dependências entre as instruções (dados e condicionantes)
 - . rastrear as unidades internas do processador
 - . escalação das instruções
- compilador mais complexo mas, uma vez otimizado o programa, todas as execuções subsequentes serão beneficiadas.

Execução Predicativa: resolver o problema dos saltos (branches) condicionais

If (R1 = 0)	MOV	ACC, R1	CMOVZ	R2, R3, R1
then R2 = R3;	JNZ	Label 1		
	MOV	R2, R3		

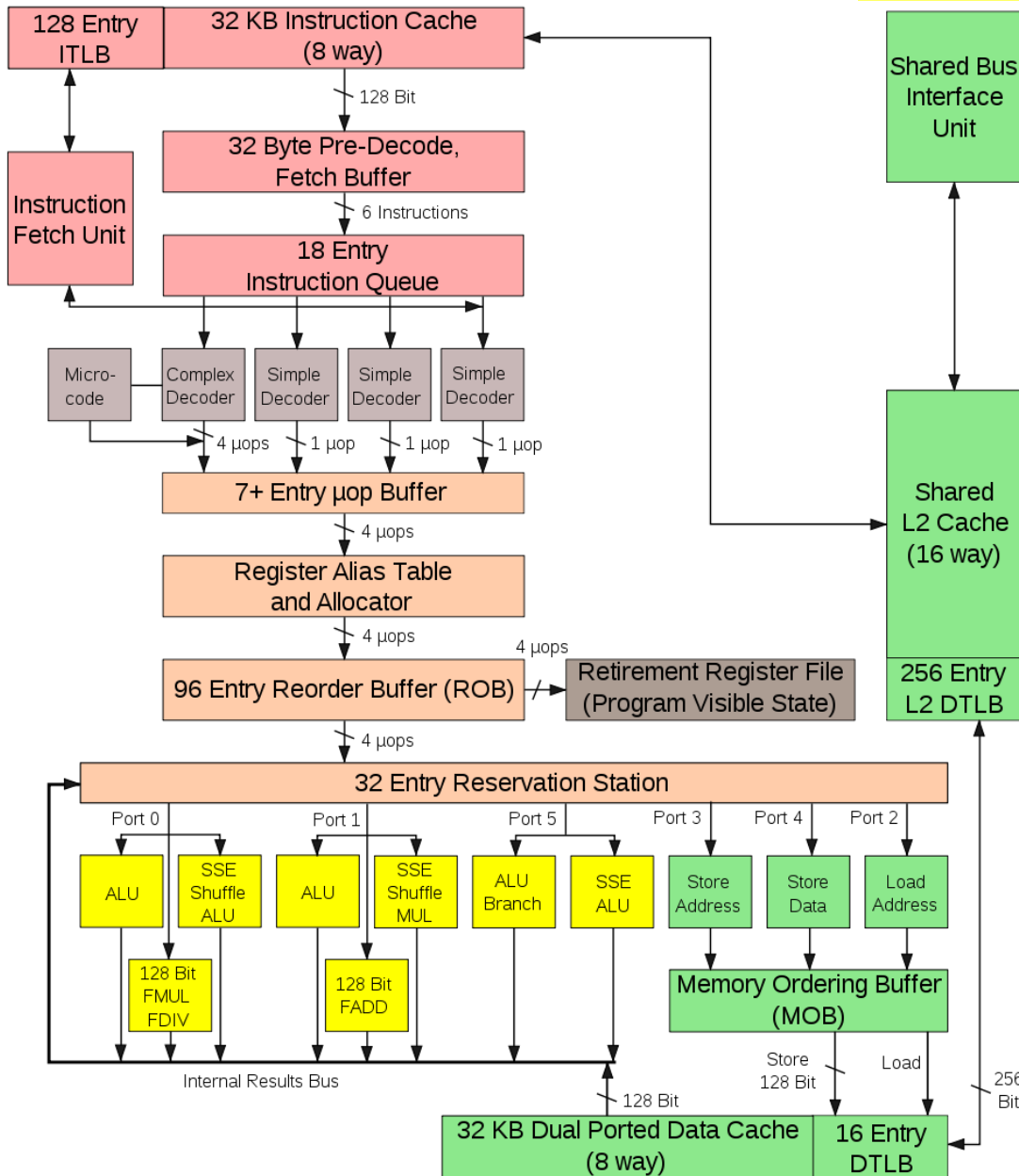
Label 1:

If (R1 = R2)	MOV	ACC, R1	CMPEQ	R1, R2, P4
then	SUB	ACC, R2	<P4> ADD	R3, R4, R5
R3 = R4 + R5	JNZ	Label 1	<P4> SUB	R6, R4, R5
else	MOV	R3, R4		
R6 = R4 - R5	ADD	R3, R5		
	GOTO	Label 2		

Label 1:	MOV	R6, R4
	SUB	R6, R5

Label 2:

Microarquitecturas Intel: Core



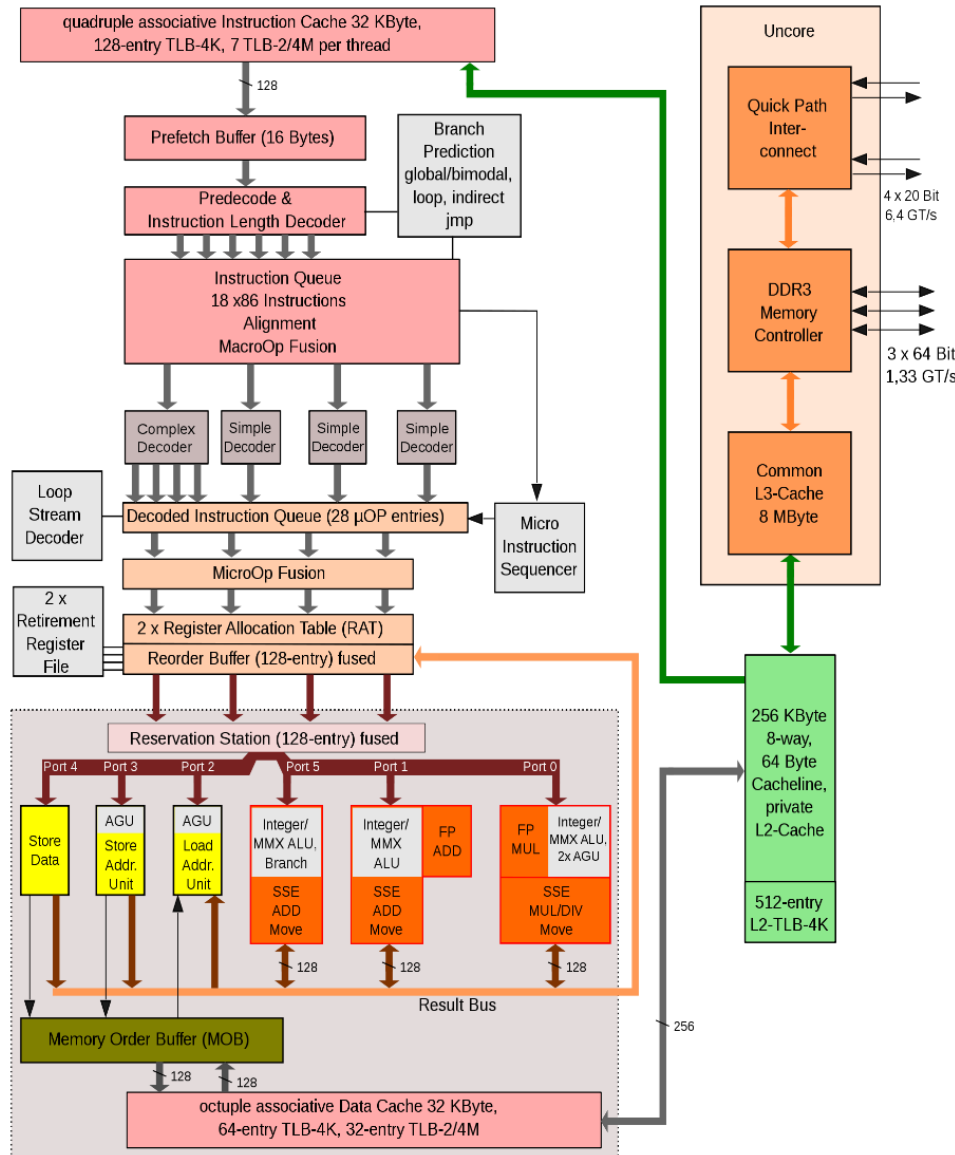
Retorno do P6
Modernização do Pentium M
Dual core

- 2006 a 2008
- 65 nm a 45 nm
- Clock max 2 GHz

- Core 2
- Xeon

Microarquitecturas Intel: Nehalem (Core i)

Intel Nehalem microarchitecture



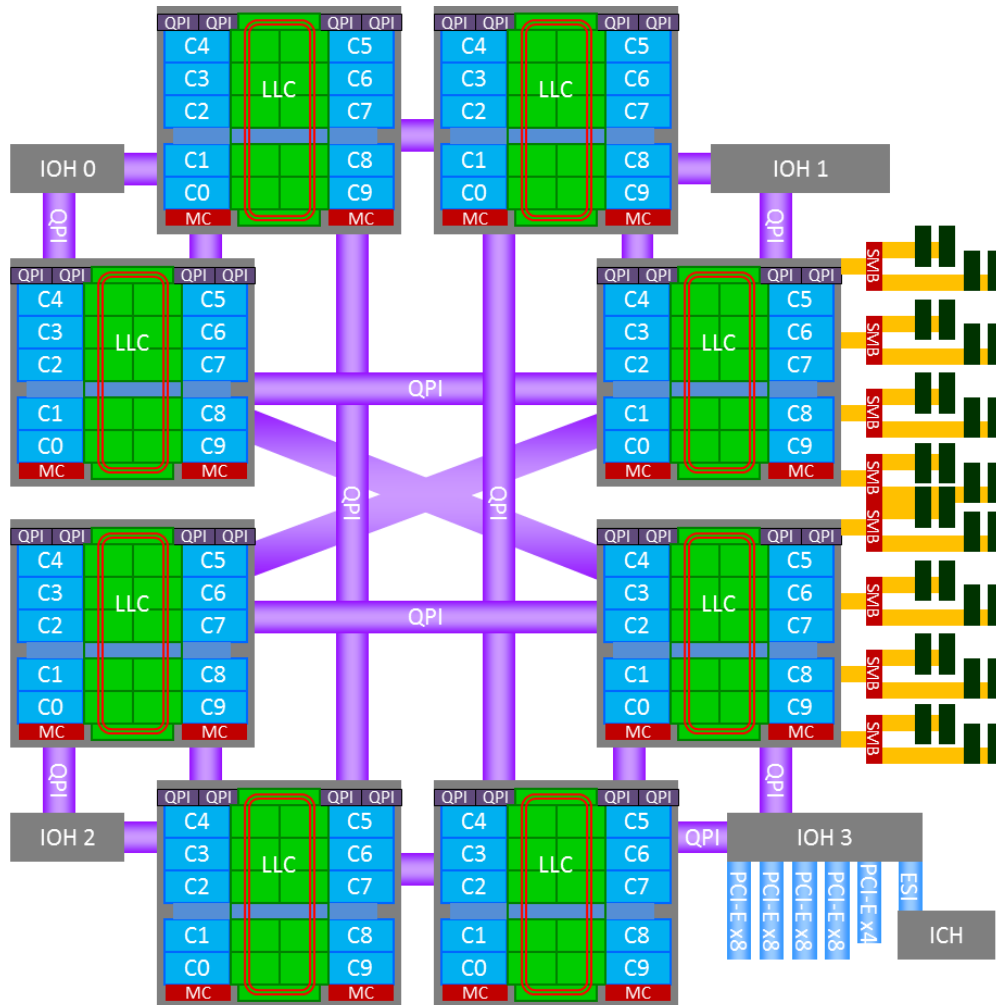
GT/s: gigatransfers per second

Novo Design
Multi-core nativo (até 8)
com Hyperthreading (16)

- 2008 a 2011
- 45 nm a 32 nm
- Clock 2 GHz
- Hyperthreading
- L3
- Quick Path Interconnect

- Core i3, i5, i7
- Xeon

Microarquitecturas Intel: Sandy Bridge (Core i)



Evolução do Nehalem
Multicore (até 8) com
Hyperthreading (16)

- A partir 2011
 - 32 nm a 22 nm
 - Retorno Clock 3 GHz
 - Inclui GPU
- Core i3, i5, i7 segunda geração
- Xeon
- Hoje Xeon 16-core
- <http://ark.intel.com/>

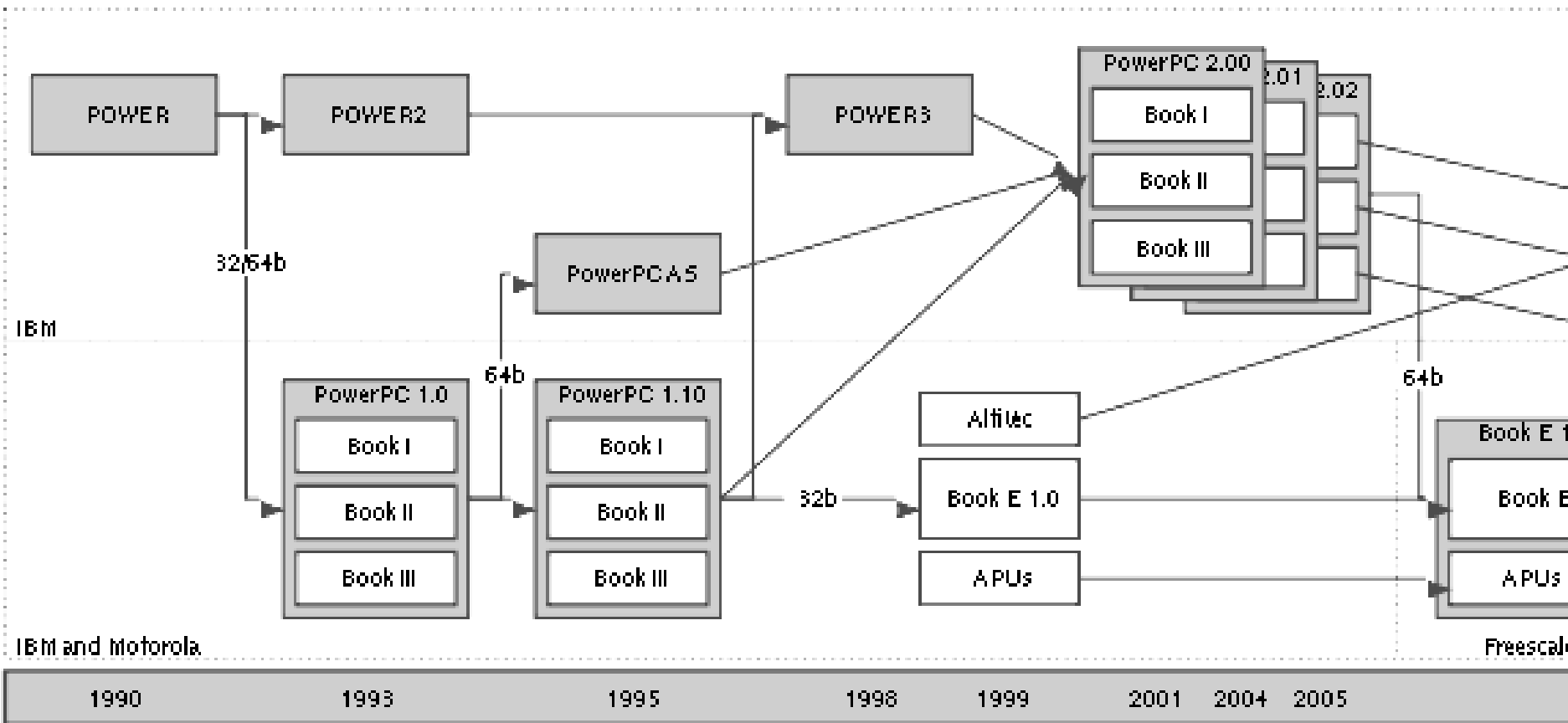
Microarquitetura PowerPC

	PowerPC	Apple - IBM - Motorola		RISC Multi-chip		Origem: IBM RS/6000 (1990)
1992	Power G1	IBM - Motorola	32	66MHz		Apple Macintosh
1993	Power G2 (PowerPC 1.0)	IBM - Motorola	32 - 64	90MHz		Sistemas Embarcados: carros, aeronaves, ASIMO
1997	Power G3 (PowerPC 2.0)	IBM - Motorola	32	366MHz	260n	Macintosh, Powerbook, Nintendo, Roteadores
1999	Power G4 (PowerPC 2.0)	IBM - Motorola	32	500MHz		VMX (Streaming SIMD Extensions) XBOX 360
2003	G5 (PowerPC 970)	IBM	64	2.5GHz	90n	Saída Motorola: Freescale, AMC

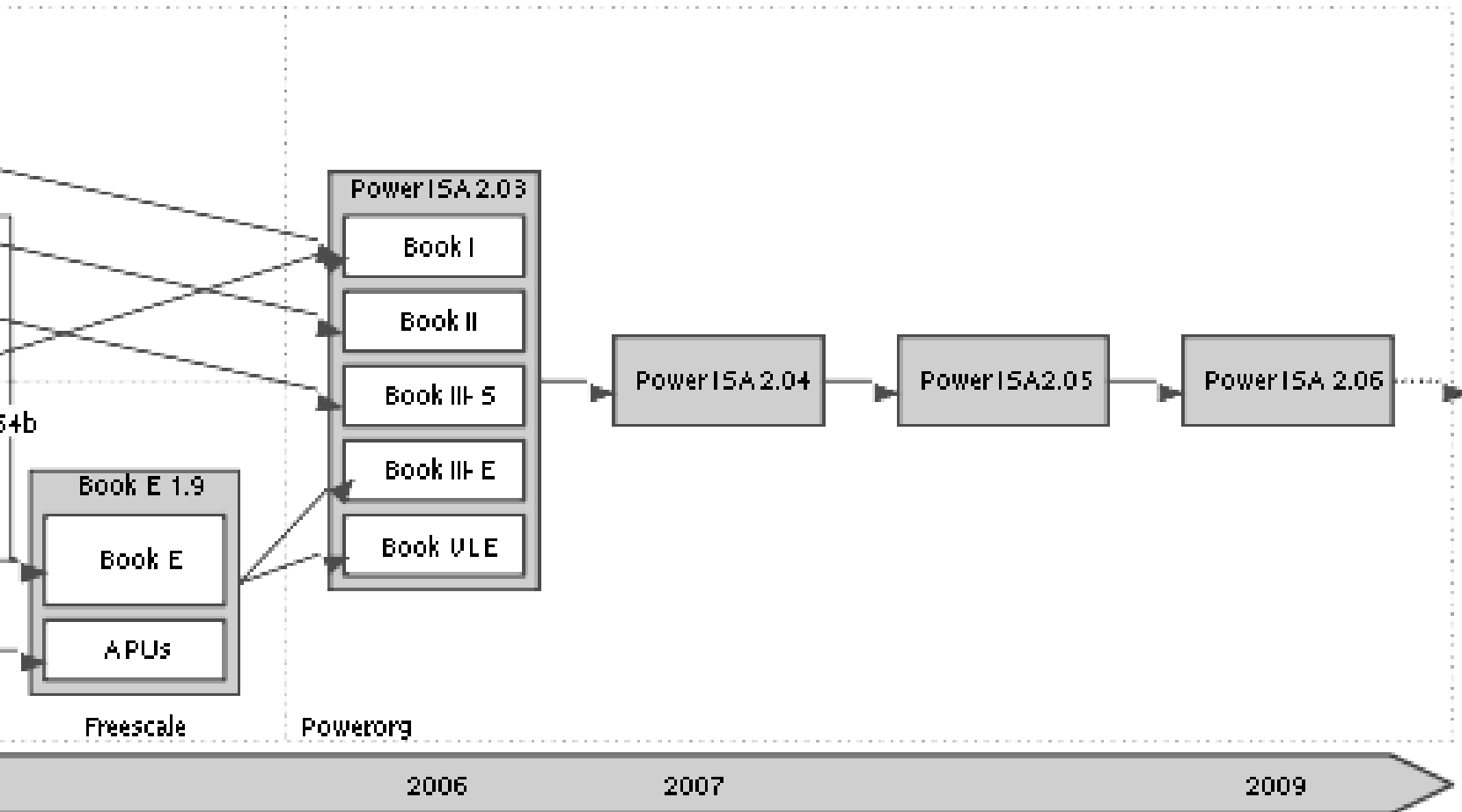
2005	Saída da Apple: Intel					
2006	PowerISA 2.03	Power.org				
2007	PowerISA 2.04	Power.org				
2009	PowerISA 2.05	Power.org				

	Cell Broadband Engine	Sony - IBM - Toshiba				Origem: PowerPC (G4)
2005	Cell BE	IBM	32	3.2GHz	90n	Playstation 3: 9 core
2008	PowerXCell 8i	IBM	32		65n	IBM Roadrunner, primeiro supercomputador a atingir 1 Petaflops (12,240 Cell)

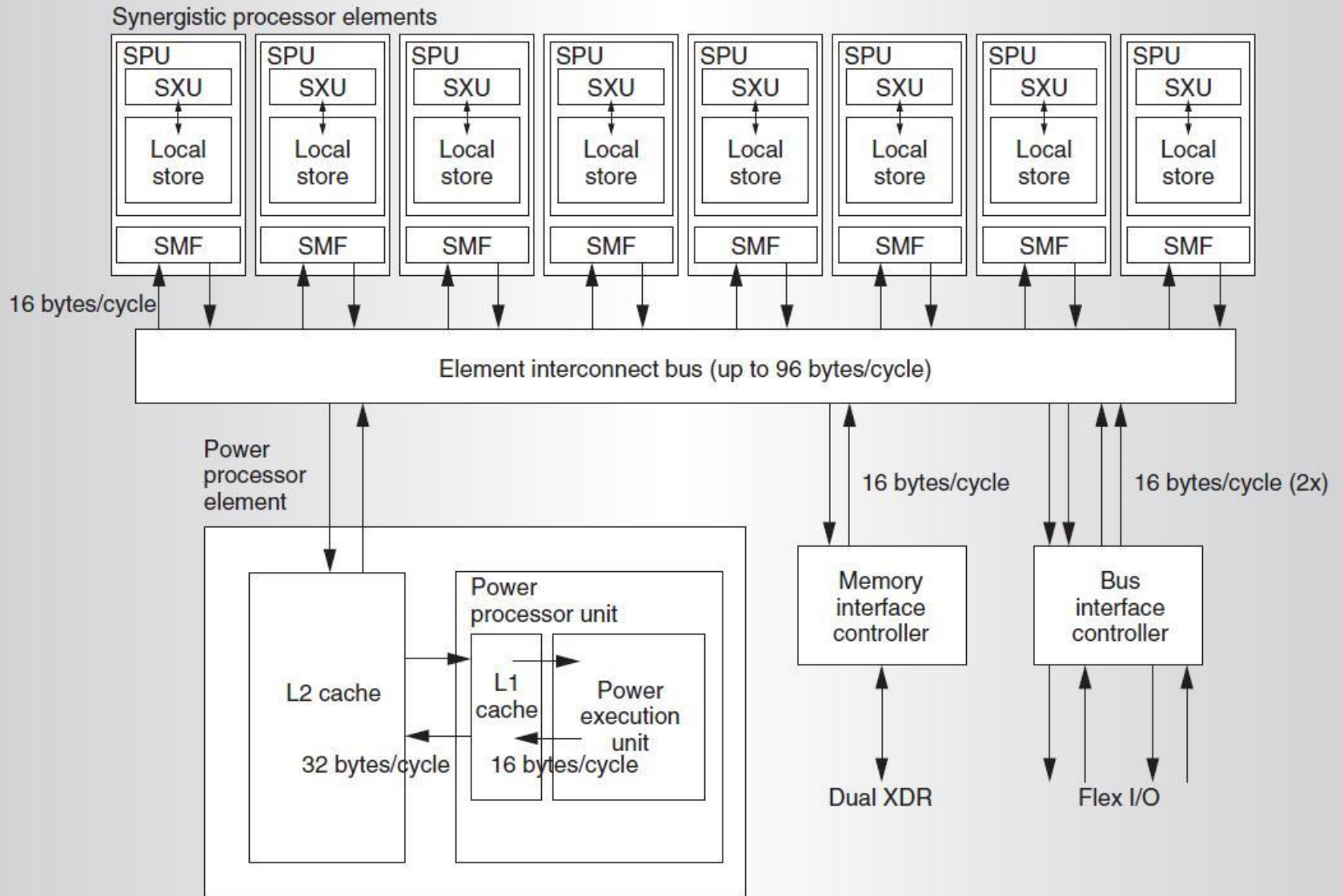
Evolução do PowerPC



Evolução do PowerPC

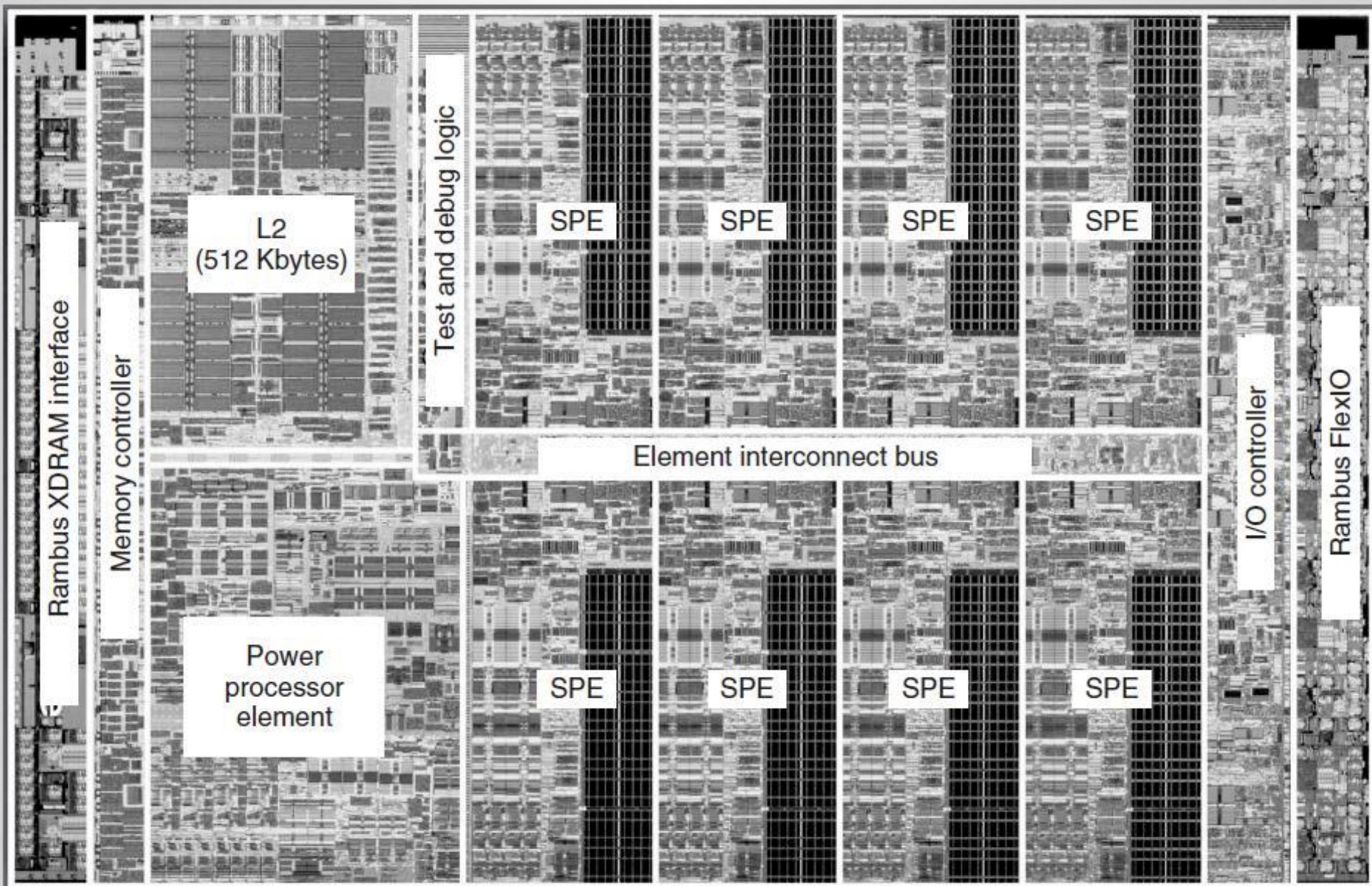


Cell: microarquitetura

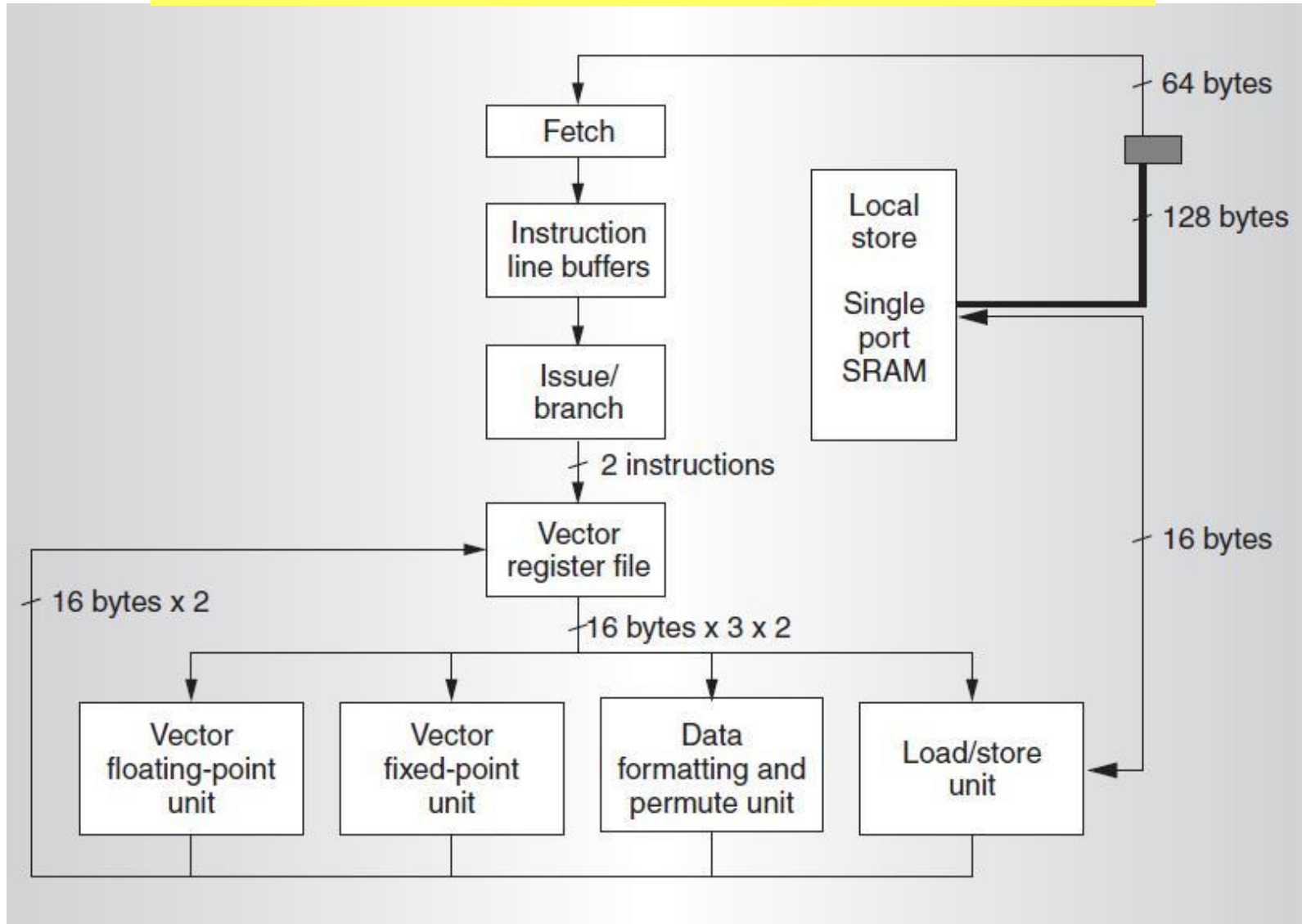


64-bit Power Architecture with vector media extensions

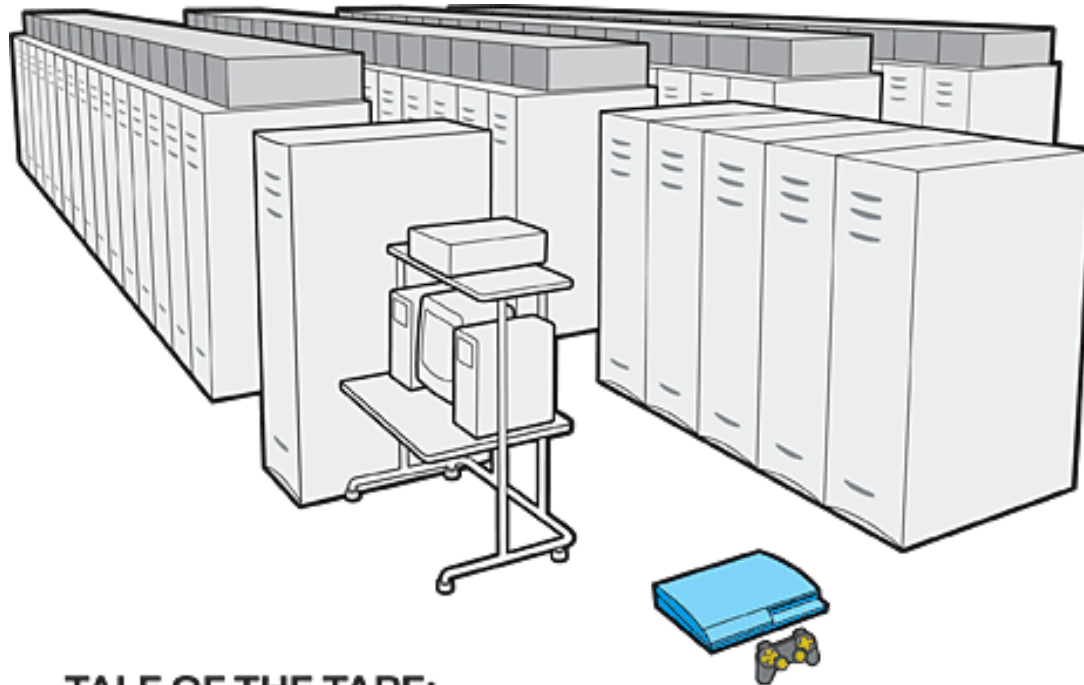
Cell: chip



Cell: Synergistic Processor Element



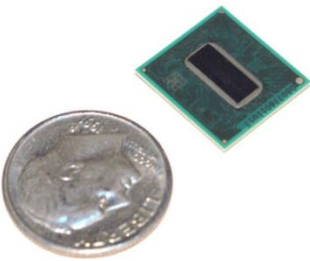
Cell: Supercomputador x PS3



TALE OF THE TAPE: SUPERCOMPUTER VS. GAME CONSOLE

	SANDIA LAB'S ASCI RED	SONY PLAYSTATION 3
DATE OF ORIGIN	1997	2006
PEAK PERFORMANCE	1.8 teraflops	1.8 teraflops*
PHYSICAL SIZE	150 square meters	0.08 square meter
POWER CONSUMPTION	800 000 watts	<200 watts

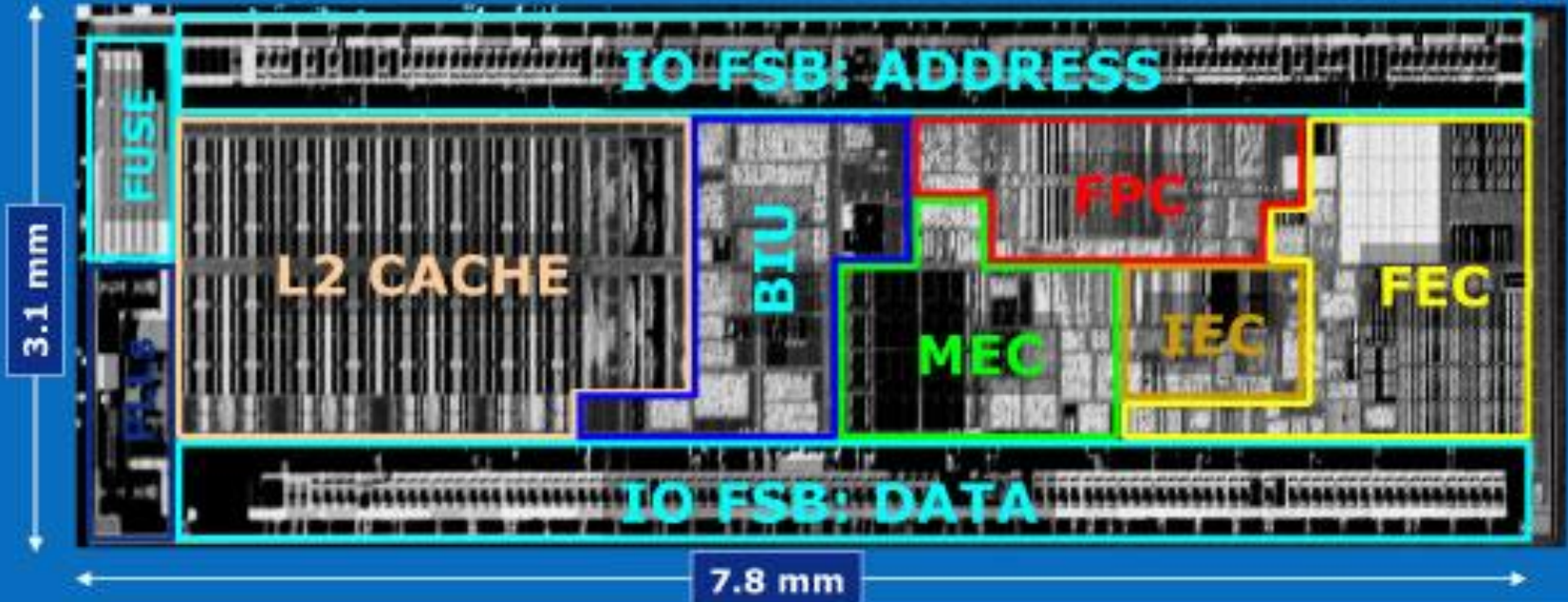
* For GPU; CPU adds another 0.2 teraflops



Arquitetura Atom

Sea-of-FUBs Chip Layout

Intel Confidential



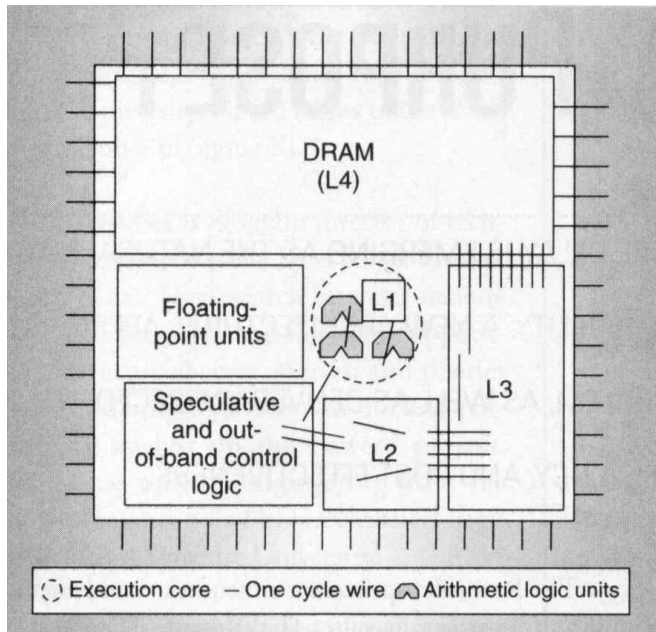
SCHEMATIC TRANSISTORS:

Core:	13,828,574
Uncore:	2,738,951
L2 & L2 tag:	30,644,682
TOTAL:	47,212,207

	Area %
Core	28%
Uncore	72%
BIU	9%
L2	22%
IO FSB	35%
PLL+FUUSE	7%
Total	100%

Type	unique	instances
Random Logic Synthesized	92	92
Structured Data Paths	88	140
L2 sub-arrays	2	40
Custom	18	19
Repeater Stations	-	317
TOTAL	200	608

MICROPROCESSADORES NÃO CONVENCIONAIS



RAW microprocessor:

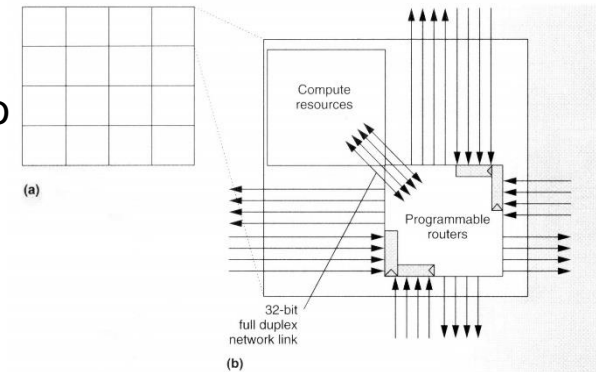
- clock: 2 GHz
- 32 bits RISC
- L1: 2 MBytes
- 3 ULAs

Conexões externas:

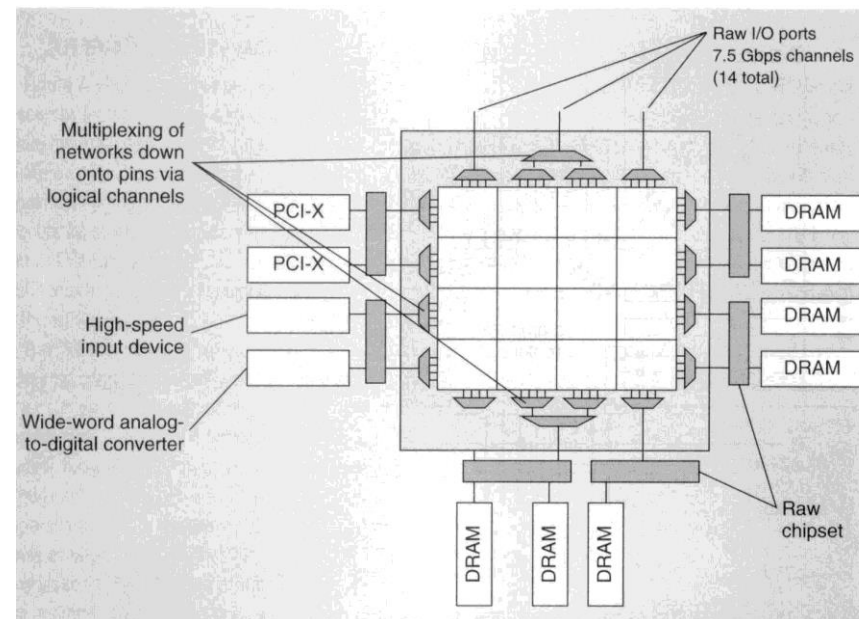
- memória principal
- portas E/S
- interface PCI - X

Desenvolvido pelo Lab. Computer Science MIT
(ref. IEEE Micro março / 2002)

Matriz 4 x 4 de processador e circuitos de interconexão
Interconexão:
- 4 redes ponto a ponto
- 32 bits a 225 MHz



On-chip interconnects in Raw. The Raw microprocessor comprises 16 tiles (a). Each tile (b) has computational resources and four networks, each with eight point-to-point 32-bit buses to neighbor tiles.



MICROPROCESSADORES NÃO CONVENCIONAIS - 2

Power4 – IBM: processador de alta confiabilidade desenvolvido para montagens modulares

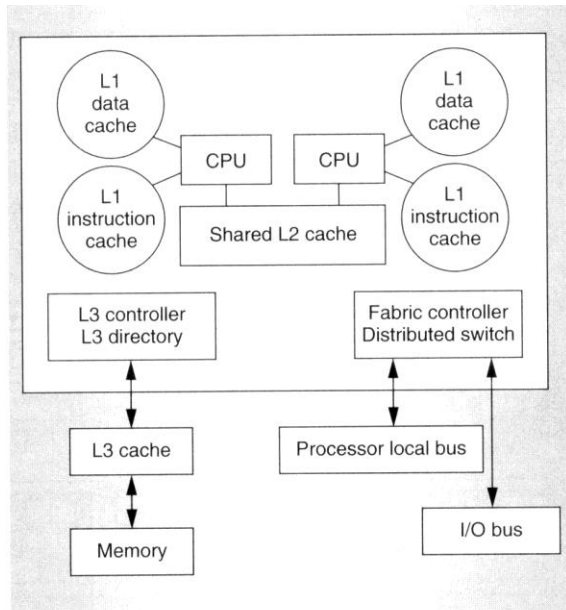
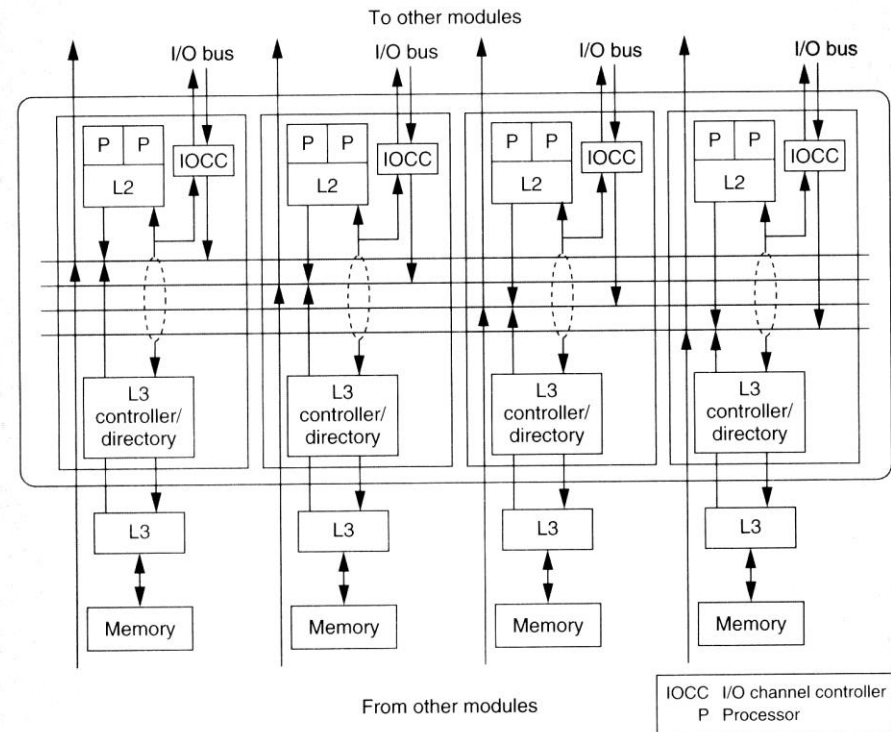


Figure 1. Power4 chip design.

- 32 bits
- 1,3 GHz
- L1: 64 KB + 32 KB
- L2: compartilhado



Power4 multichip module with four chips.

Análise de desempenho

COMPARAÇÃO: INTEL x AMD

Comparação de microprocessadores para servidores:
AMD Athlon MP (MultiProcessor) x Pentium III e Xeon

Feature	AMD Athlon™ MP Processor	Pentium® III / Pentium® III Xeon	Xeon
Operations per clock cycle	9	5	6
Integer pipelines	3	2	4
Floating point pipelines	3	1	2
Full x86 decoders	3	1	1
L1 cache size	128KB	32KB	12k μ op + 8KB
L2 cache size	256KB on-chip	256KB	256KB on 1.7GHz / 512KB
Total on-chip full-speed cache	384KB	288KB	264KB + 12k μ op on 1.7GHz / 520KB
Total effective on-chip full-speed cache	384KB	256KB	256KB on 1.7GHz / 512KB
System bus speed	266MHz	133MHz	400MHz on 2.80GHz / 533MHz on 2.0GHz
3D Enhancement Instructions	3DNow!™ Professional (includes SSE)	SSE	SSE2

Athlon XP 3200+ tem barramento de dados de 400 MHz, contra um máximo de 333 MHz nos modelos anteriores. O clock do processador é de 2,2 GHz, e, a memória cache total, de 640 KB. Segundo a AMD, o novo chip é, em média, 6% mais rápido que o Pentium 4 de 3 GHz

TESTE DE DESEMPENHO (BENCHMARK)

Benchmark ou Análise de desempenho

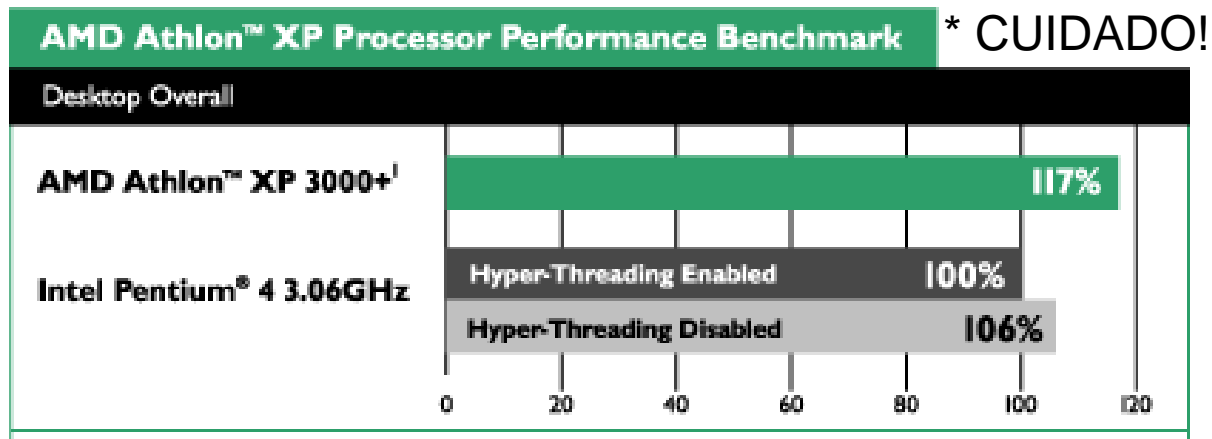
Comparativo de performance baseado na execução de grupos de aplicativos padronizados.

- aplicativos comerciais (office)
- aplicativos Multimídia (content criation)
- jogos 3D
- aplicações científicas (ponto flutuante)
- aplicações banco de dados (data intensive)

Realizados por empresas independentes / auditorias

Comparação (ref.: Software Performance Guide AMD)

Athlon XP 3000+ x Pentium4 3,06 GHz



UNIDADES DE BENCHMARK

Mais comuns

FLOPS: (Kilo/Giga/Tera/Peta) Floating Point Operations per Second

IOPS: Input/Output Operations Per Second, pronunciado “eye-ops”

Variantes:

Dhrystone (DMIPS): integer arithmetic performance

Whetstone (MWIPS): floating-point arithmetic performance

Outras:

FPS: Frames per second (mais usado em jogos)

Segundos/minutos/horas de execução de uma determinada tarefa

% comparado a referência

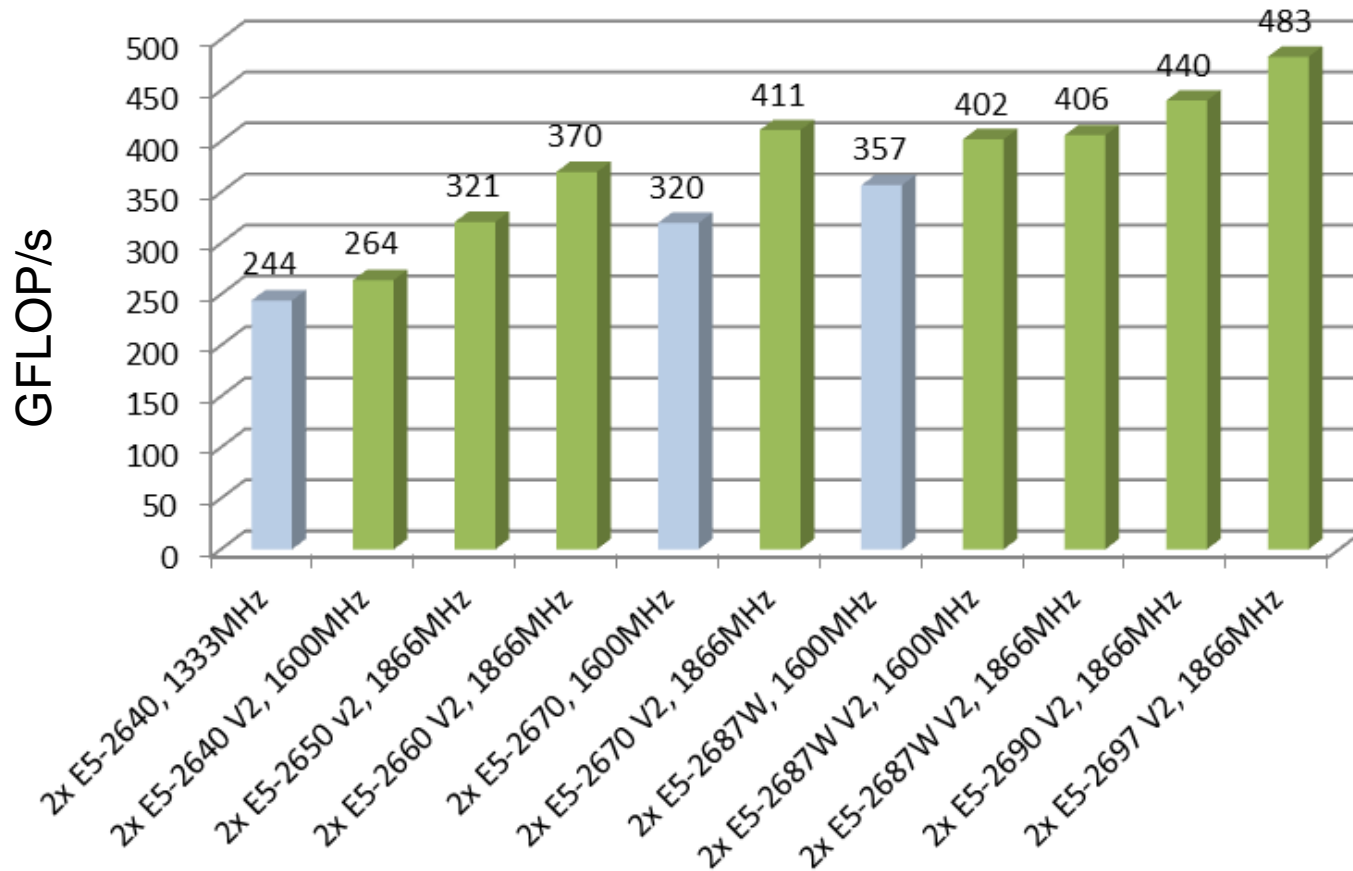
Dependendo do tipo de benchmark, pode-se utilizar operações específicas como unidade. Ex. voxels/s para renderização volumétrica.

BENCHMARK: INTEL x AMD

Benchmark:


<http://www.tomshardware.com/charts/>

Intel Optimised Linpack



CPU | Caches | Mainboard | Memory | SPD | Graphics | About

Processor

Name	Intel Core i7 5775C				
Code Name	Broadwell	Max TDP	65.0 W		
Package	Socket 1150 LGA				
Technology	14 nm	Core Voltage	1.194 V		
Specification	Intel(R) Core(TM) i7-5775C CPU @ 3.30GHz (ES)				
Family	6	Model	7	Stepping	1
Ext. Family	6	Ext. Model	47	Revision	E0/G0
Instructions	MMX, SSE, SSE2, SSE3, SSSE3, SSE4.1, SSE4.2, EM64T, VT-x, AES, AVX, AVX2, FMA3, TSX				

Clocks (Core #0)

Core Speed	3699.14 MHz
Multiplier	x 37.0 (8 - 37)
Bus Speed	100.01 MHz
Rated FSB	

Cache

L1 Data	4 x 32 KBytes	8-way
L1 Inst.	4 x 32 KBytes	8-way
Level 2	4 x 256 KBytes	8-way
Level 3	6 MBytes	12-way

Selection Processor #1

Cores 4

Threads 8

CPU-Z

Ver. 1.72.1.x64

Tools

Validate

OK

TechPowerUp GPU-Z 0.8.2

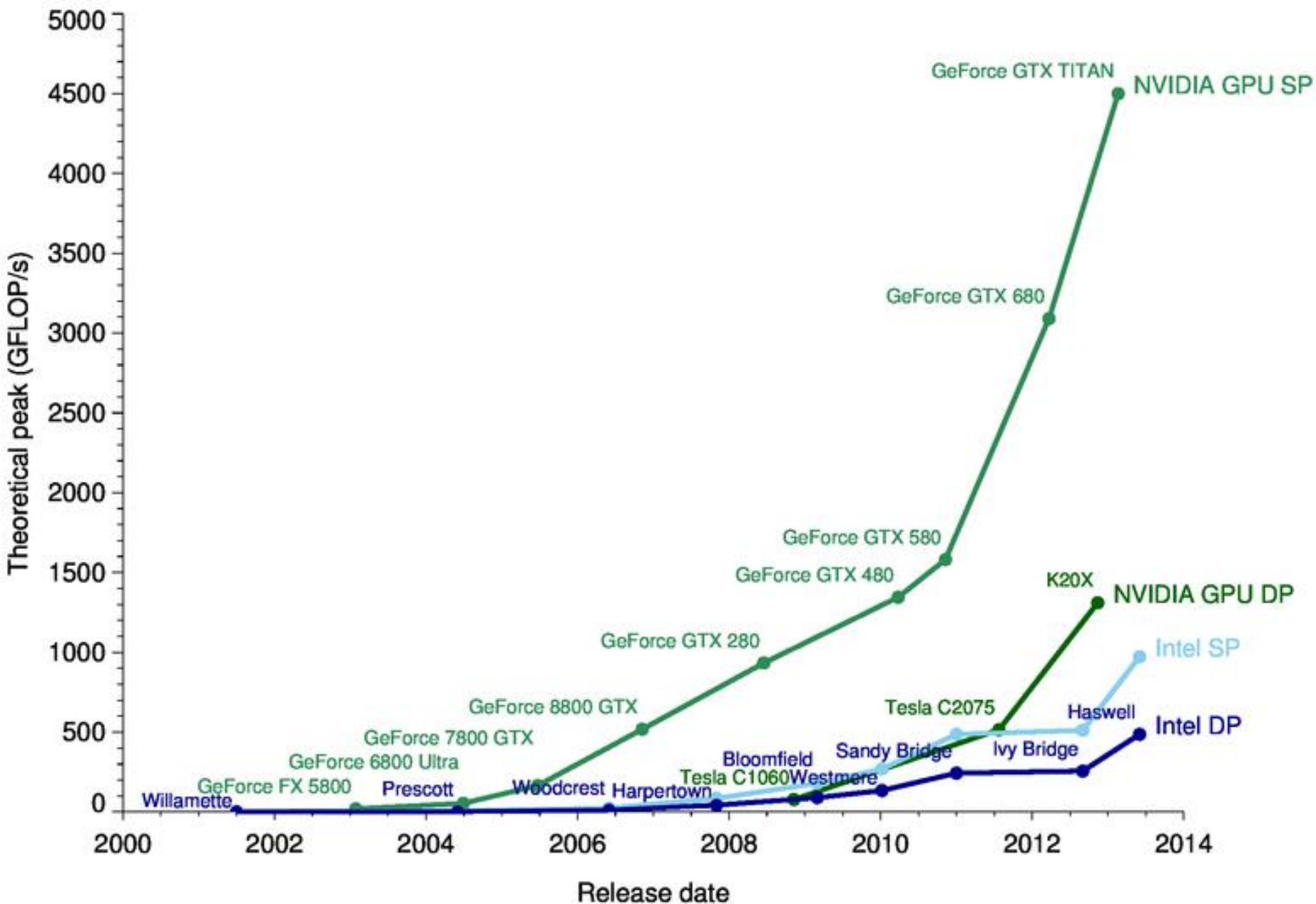
Graphics Card | Sensors | Validation

Name	NVIDIA GeForce GTX TITAN X			Lookup
GPU	GM200	Revision	A1	
Technology	28 nm	Die Size	601 mm ²	
Release Date	Mar 17, 2015	Transistors	8000M	
BIOS Version	84.00.1F.00.01			
Device ID	10DE - 17C2	Subvendor	NVIDIA (10DE)	
ROPs/TMUs	96 / 192	Bus Interface	PCI-E 3.0x16 @ x16 1.1 ?	
Shaders	3072 Unified	DirectX Support	11.2 / SM5.0	
Pixel Fillrate	96.2 GPixel/s	Texture Fillrate	192.4 GTexel/s	
Memory Type	GDDR5 (Hynix)	Bus Width	384 Bit	
Memory Size	12288 MB	Bandwidth	336.6 GB/s	
Driver Version	9.18.13.4784 Beta (ForceWare 347.84) / Win7 64			
GPU Clock	1002 MHz	Memory	1753 MHz	Boost 1076 MHz
Default Clock	1000 MHz	Memory	1753 MHz	Boost 1089 MHz
NVIDIA SLI	Disabled			
Computing	<input checked="" type="checkbox"/> OpenCL	<input checked="" type="checkbox"/> CUDA	<input checked="" type="checkbox"/> PhysX	<input checked="" type="checkbox"/> DirectCompute 5.0



NVIDIA GeForce GTX TITAN X

Close



Memory Copy

Pinned

Pageable

Host to Device

5567.4 MiB/s

4637.5 MiB/s

Device to Host

6166.4 MiB/s

4173.53 MiB/s

Device to Device

106.798 GiB/s

GPU Core Performance

Single-precision Float

6988.63 Gflop/s

Double-precision Float

223.951 Gflop/s

32-bit Integer

2373.91 Giop/s

24-bit Integer

1712.32 Giop/s

Update Results in Background

Heavy Load Test Mode

Export >>

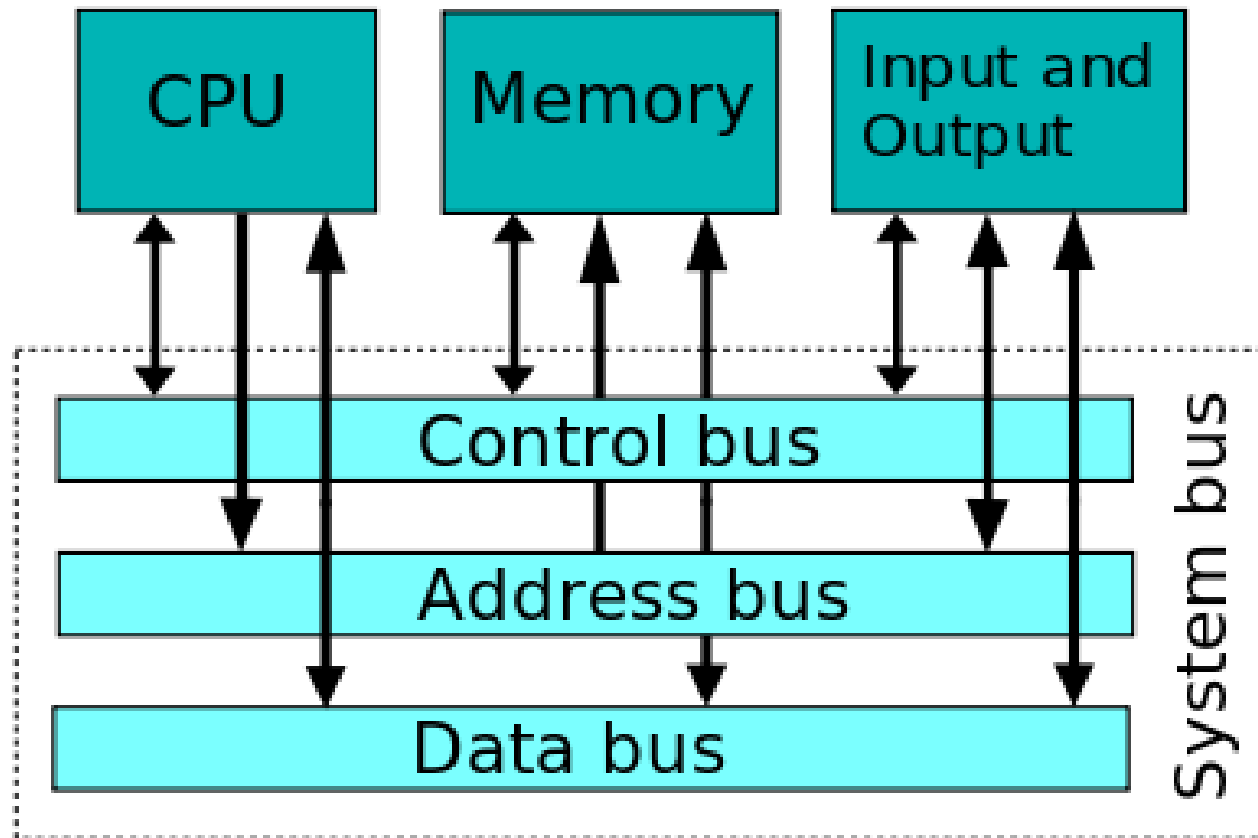
COMPARAÇÃO: INTEL x AMD

- <http://ark.intel.com/>
- <http://products.amd.com/en-us/DesktopCPUResult.aspx>
- <http://www.amd.com/en-us/products/processors/desktop>

Barramentos do Sistema

BUS – VIAS DE DADOS

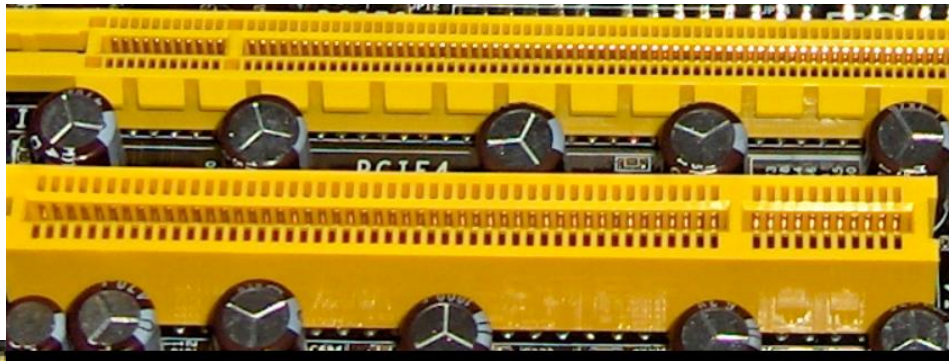
Do Latin "omnibus", ou "para todos"



BUS - TIPOS

Interno: IDT, FSB \equiv CPU \leftrightarrow Memória [/PClex nas arq. modernas]

Externo: Bus de Expansão \rightarrow Periféricos



BUS – EXEMPLOS DE ARQUITETURAS

Quickpath Interconnect (QPI): XEON - formado por vinte pares diferenciais mais um par diferencial para encaminhamento de clock, bi-direcional em 5 camadas

Direct Media Interface (DMI, DMI2) Direct Media Interface: Core, PentiumD, etc.

InfiniBand: Interconecta vários sistemas paralelos, clusters, etc.

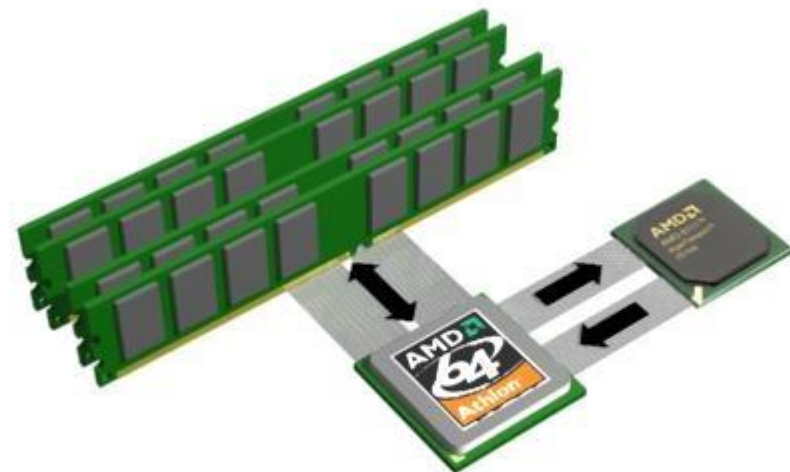
Front Side Bus (FSB): Pentium 4 e anteriores (paralelo)

HyperTransport (AMD)

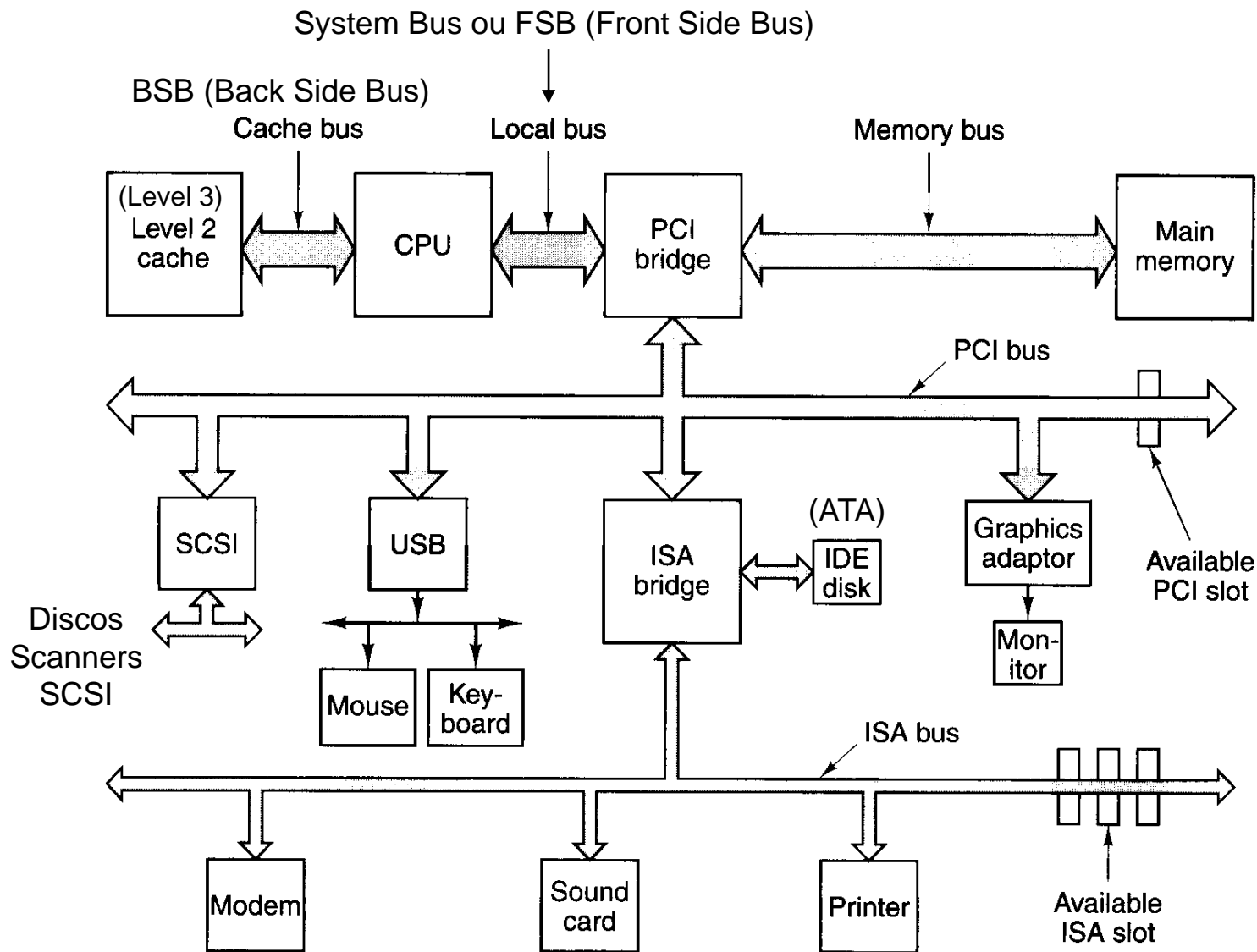
The Simple Bus Architecture (SBA):
Em FPGA e microcontroladores VHDL

VESA Local Bus (VLB)

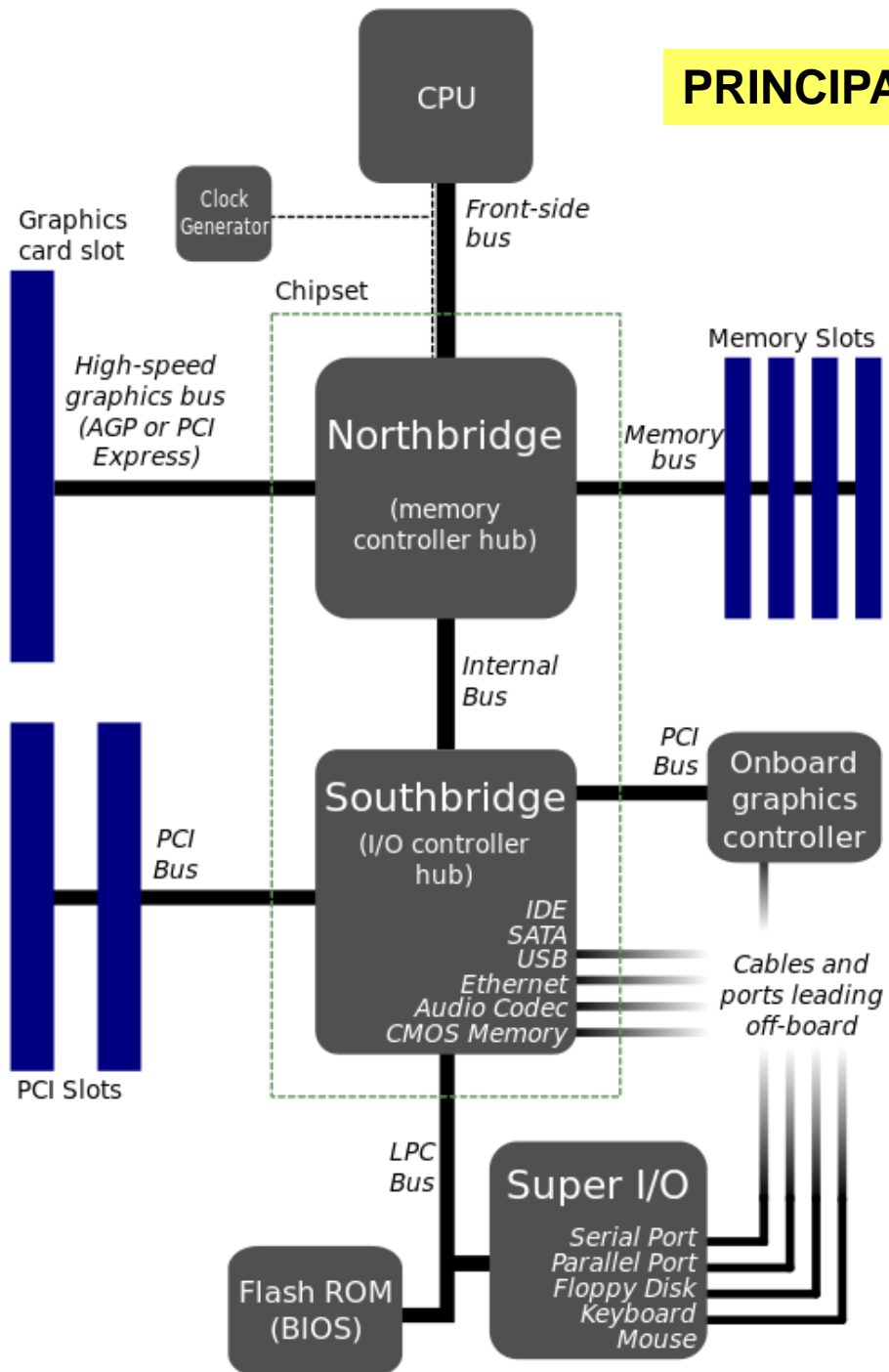
Outros modelos e arquiteturas



BARRAMENTOS E HIERARQUIAS



PRINCIPAIS TECNOLOGIAS DE INTERCONEXÃO



Front Side bus:
Barramento de Sistema Intel (2008)
400 MHz – 800 MHz

Back Side bus:
Barramento dos Cache de Memória
Substituído pelo QPI (2009)

HYPERTRANSPORT

Lightning Data Transport (LDT):

Interconexão de barramentos principais entre chips.

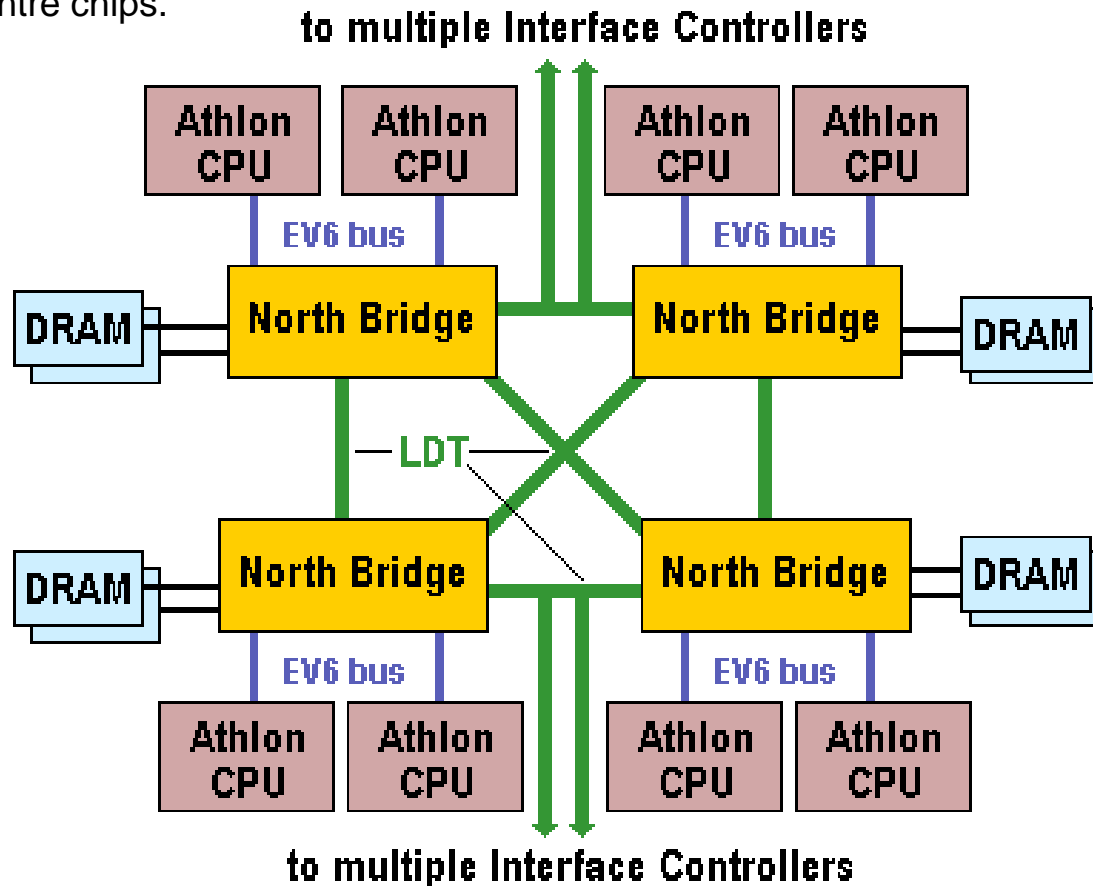
Conexão ponto a ponto unidirecional,

6,4 GByte por segundo

Aplicação em co-processamento e multiprocessamento.

Desenvolvido pela AMD.

Renomeado como HyperTransport em 2001



HT	800 MHz, 16-pair	25.6 Gbit/s	3.2 GB/s	2001
HT	1 GHz, 16-pair	32.0 Gbit/s	4.0 GB/s	
HT 2.0	1.4 GHz, 32-pair	179.2 Gbit/s	22.4 GB/s	2004
HT 3.0	2.6 GHz, 32-pair	332.8 Gbit/s	41.6 GB/s	2006
HT 3.1	3.2 GHz, 32-pair	409.6 Gbit/s	51.2 GB/s	2008

Intel QuickPath Interconnect (QPI)

Conexão de barramentos principais entre chips, desenvolvido pela Intel para substituir o FSB

Conexão ponto a ponto bidirecional, 20 linhas por direção mais clock: 42 linhas

Aplicação em co-processamento e multiprocessamento: Xeon, Itanium, Core i7

Taxa de transferência: 25.6 GB/s

Lançado em Novembro 2008, para competir com HyperTransport

Clock rate: 2.4 GHz, 2.93 GHz, ou 3.2 GHz

3.2 GHz

× 2 bits/Hz (double data rate)

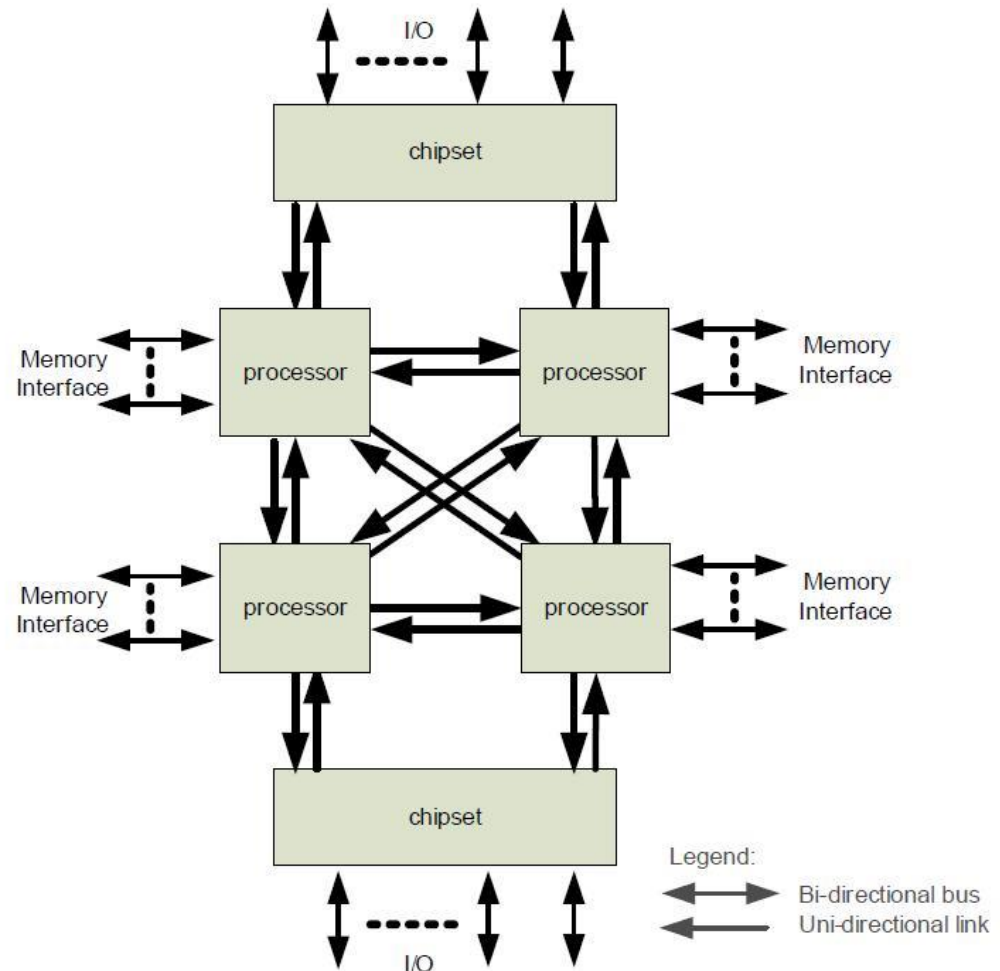
× 20 (QPI link width)

× (64/80) (data bits/flit bits)

× 2 (two links to achieve bidirectionality)

÷ 8 (bits/byte)

= 25.6 GB/s



PENTES DE MEMÓRIA PRINCIPAL PARA PC

Nome	Ano	Tipo	Dados	System Bus	Velocidade	Ciclos	Tempo acesso
SIMM - 72 vias	1990	Assíncrono	32 bits	16 a 66 MHz	88 MB/s	3 ciclos	100 a 120ns
DIMM - 168 vias	1993	Assíncrono	64 bits	16 a 66 MHz	176 MB/s	3 ciclos	100 a 120ns
EDO	1997	Assíncrono Burst	64 bits	33 a 75 MHz	300 MB/s	2 ciclos	70 a 100ns
PC-100 - SDRAM	1998	Síncrono	64 bits	100 MHz	800 MB/s	1 ciclo	8 a 10ns
PC-133 - SDRAM	2000	Síncrono	64 bits	133 MHz	1,1 GB/s	1 ciclo	8 a 10ns
PC-1600 - DDR	2000	Síncrono Duplo	64 bits	100 MHz	1,6 GB/s	meio ciclo	8 a 10ns
PC-2100 - DDR	2000	Síncrono Duplo	64 bits	133 MHz	2,1 GB/s	meio ciclo	6 a 7ns
PC-2700 - DDR	2001	Síncrono Duplo	64 bits	166 MHz	2,7 GB/s	meio ciclo	< 6ns
PC-3200 - DDR	2002	Síncrono Duplo	64 bits	200 MHz	3,2 GB/s	meio ciclo	
PC-4300 - DDR		Síncrono Duplo	64 bits	266 MHz	4,3 GB/s	dual-ch	
PC2-4200 - DDR2		Síncrono Quad	64 bits	533 MHz	4,2 GB/s		7,5ns
PC2-5300 - DDR2		Síncrono Quad	64 bits	667 MHz	5,3 GB/s		6ns
PC2-6400 - DDR2		Síncrono Quad	64 bits	800 MHz	6,4 GB/s		5ns
PC2-8500 - DDR2		Síncrono Quad	64 bits	1.066 MHz	8,5 GB/s		3,7ns
GDDR3		Síncrono Quad	64 bits	1.066 MHz	8,5 GB/s	Graphic Card	low power
PC3-6400 - DDR3		Síncrono Octal	64 bits	800 MHz	6,4 GB/s	3 ch	10ns
PC3-8500 - DDR3		Síncrono Octal	64 bits	1.066 MHz	8,5 GB/s		7,5ns
PC3-10.600 - DDR3		Síncrono Octal	64 bits	1.333 MHz	10,6 GB/s		6ns
PC3-12800 - DDR3		Síncrono Octal	64 bits	1.600 MHz	12,8 GB/s		5ns
PC3-14.900 - DDR3		Síncrono Octal	64 bits	1.866 MHz	14,9 GB/s		4,3ns
PC3-17000 - DDR3		Síncrono Octal	64 bits	2.133 MHz	17,0 GB/s		3,7ns
RIMM - DRDRAM	2001	Direct Rambus	16 bits	400 MHz	1,6 GB/s	por canal (2x)	6 a 7ns
RIMM 3200	2002	Direct Rambus	32 bits	400 MHz	3,2 GB/s	por canal	6 a 7ns
RIMM 4200		Direct Rambus	32 bits	533 MHz	4,2 GB/s	por canal	
RIMM 4800		Direct Rambus	32 bits	600 MHz	4,8 GB/s	por canal	
RIMM 6400		Direct Rambus	32 bits	800 MHz	6,4 GB/s	por canal	
XDR	2005	Extreme DR octal	32 bits	400 a 1.066	25,6 GB/s	por canal	1,2 a 3,3ns
XDR2	2008	Extreme DR hexad	32 bits	800 min.	80 GB/s	por canal	

PENTES DE MEMÓRIA PRINCIPAL PARA PC

Nome	SIGLA	MEM CLOCK	BUS CLOCK	TAXA	Vcc
DDR3-800	PC3-6400	100 MHz	400 MHz	800 MT/s	1.5 V
DDR3-1066	PC3-8500	133 MHz	533 MHz	1066 MT/s	1.5 V
DDR3-1333	PC3-10600	166 MHz	667 MHz	1333 MT/s	1.5 V
DDR3-1600	PC3-12800	200 MHz	800 MHz	1600 MT/s	1.5 V
DDR3-1866	PC3-14900	233 MHz	933 MHz	1866 MT/s	1.5 V
DDR3-2133	PC3-17000	266 MHz	1066 MHz	2133 MT/s	1.5 V
DDR3-2400	PC3-19200	300 MHz	1200 MHz	2400 MT/s	1.5 V
DDR4-1600	PC4-12800	200 MHz	800 MHz	1600 MT/s	1.2 V
DDR4-1866	PC4-14900	233 MHz	933 MHz	1866 MT/s	1.2 V
DDR4-2133	PC4-17000	266 MHz	1066 MHz	2133 MT/s	1.2 V
DDR4-2400	PC4-19200	300 MHz	1200 MHz	2400 MT/s	1.2 V
DDR4-2666	PC4-21300	333 MHz	1333 MHz	2666 MT/s	1.2 V
DDR4-3200	PC4-25600	400 MHz	1600 MHz	3200 MT/s	1.2 V

PENTES DE MEMÓRIA PRINCIPAL PARA PC

SIMM: Single In-line Memory Module
DIMM: Dual In-line Memory Module
EDO: Extended Data Out
SDRAM: Synchronous Dynamic RAM
DDR: Double Data Rate
GDDR: Graphics Double Data Rate

RIMM: Rambus In-line Memory Module
DRDRAM: Direct Rambus RAM
XDR: eXtreme Data Rate

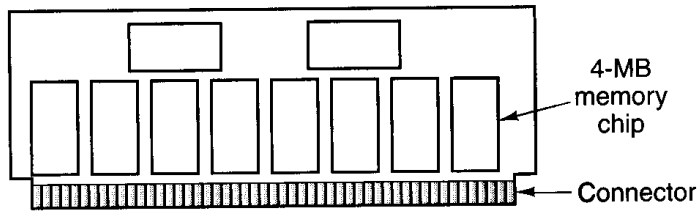
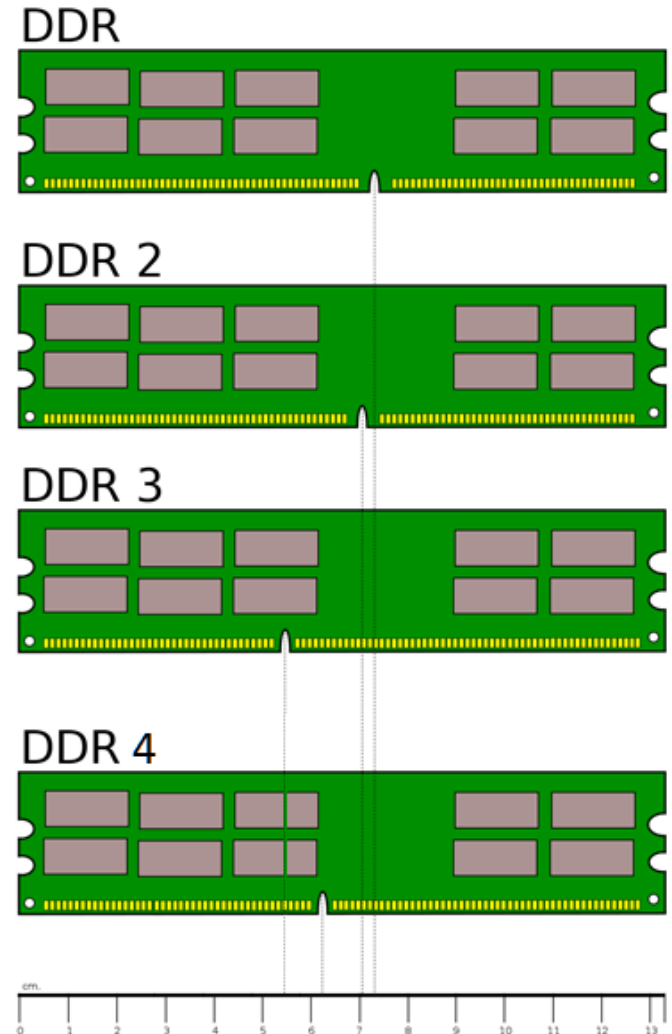


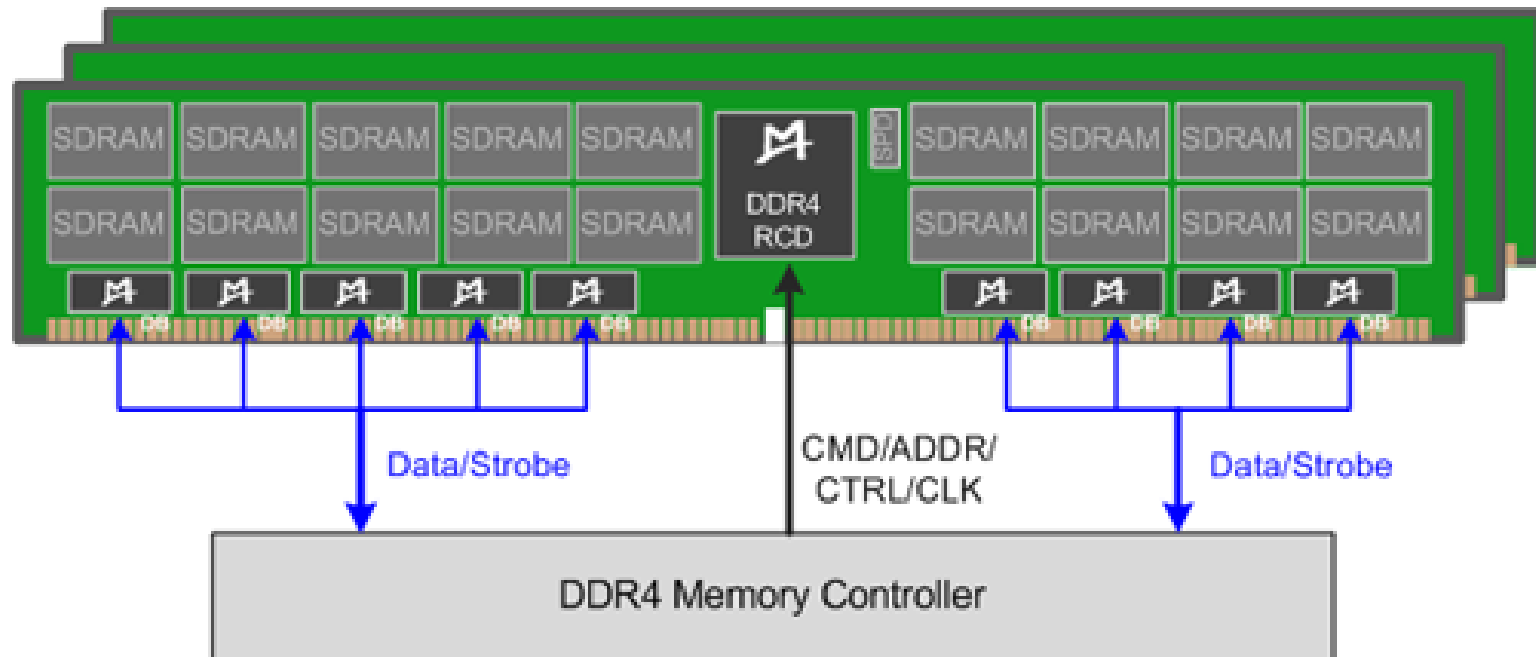
Figure 2-17. A single inline memory module (SIMM) holding 32 MB. Two of the chips control the SIMM.



PENTES DE MEMÓRIA PRINCIPAL PARA PC – DDR4

Baixa potência: Alimentação 1.2V
Conector 288 Pinos DIMM
– Melhor relação sinal-terra
– Conectores de 0,85mm
16 bancos de memória
Controle de potência de grão fino

– regulado por Temperatura
Comunicação BUS melhorada
– Endereçamento por DRAMM
– Melhorias ODT (On-Die termination)
– Terminação VDDQ
– Vpp externo regulado



ALIMENTAÇÃO DA MEMÓRIA PRINCIPAL

- **VCore:** The core supply voltage of an CPU/GPU. Most frequently used to indicate CPU voltage.
- **VDD:** The supply voltage to your Northbridge chip or the supply voltage for the input buffers and core logic of your memory chips (mostly on graphic cards).
- **VDDQ:** The supply voltage to the output buffers of a memory chip.
- **VTT:** Tracking Termination Voltage. Compared to VREF to determine Hi/Lo
- **VMem:** Supply voltage to a memory chip.
- **VDDR, VDimm:** Supply voltage to the memory on your motherboard.
- **VPP:** Peak Vin to memory chip
- **VGPU:** The supply voltage to your graphic card's processor.

Barramentos de E/S

BARRAMENTOS DE IO (ENTRADA / SAÍDA)

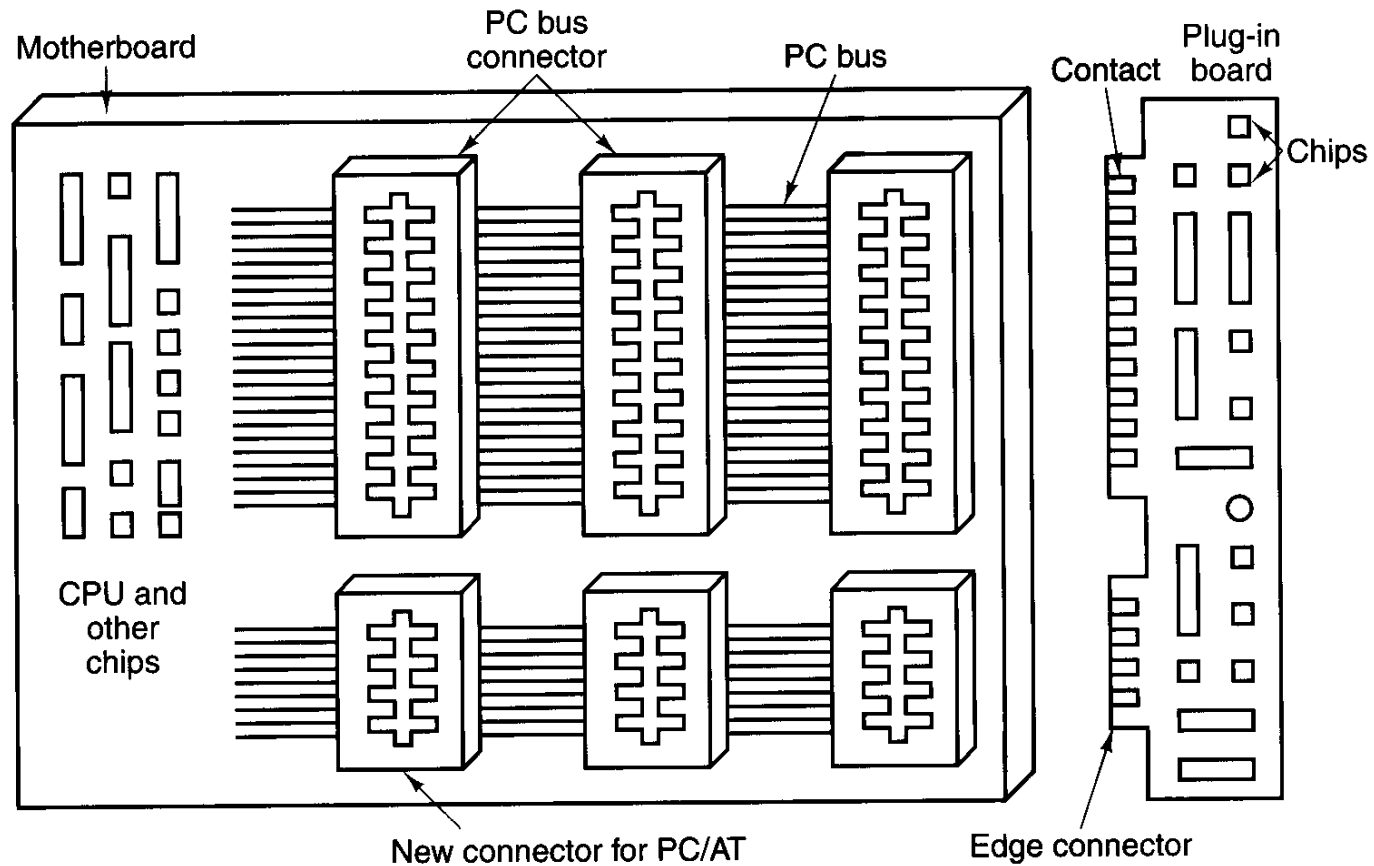


Figure 3-49. The PC/AT bus has two components, the original PC part and the new part.

Comandos PCI

- Transação mestre-escravo entre iniciador (mestre) e destino (escravo).
- Mestre reivindica barramento.
- Determina tipo de transação.
 - P.e., leitura/escrita de E/S.
- Fase de endereço.
- Uma ou mais fases de dados.

Nome	Ano	Dados	Endereço	Frequência	Velocidade	Ciclos	OBS
PC - XT	1981	8 bits	20 bits	4,77 MHz	2,38 MB/s	2 ciclos	PC Original
PC - AT	1984	16 bits	24 bits	8,33 MHz	8,33 MB/s	2 ciclos	
ISA (IEEE)	1987	16 bits	32 bits	8,33 MHz	16,7 MB/s	1 ciclo	Padronização
EISA	1988	32 bits	32 bits	8,33 MHz	33 MB/s	1 ciclo	
PCI Local Bus	1992	32 bits	32 bits	33 MHz	133 MB/s	1 ciclo	uso geral
PCI 2	1993	64 bits	64 bits	66 MHz	528 MB/s	1 ciclo	multiplexado
PCI-X 66	2000	64 bits	64 bits	133 MHz	528 MB/s	1 ciclo	protocolo Sw
PCI-X 133	2000	64 bits	64 bits	133 MHz	1 GB/s	1 ciclo	protocolo Sw
PCI-X 266 (2)	2002	64 bits	64 bits	133 MHz	2,1 GB/s	meio ciclo	DDR, ECC, 3,3v
PCI-X 533 (2)	2002	64 bits	64 bits	133 MHz	4,3 GB/s	1/4 ciclo	QDR
PCI-X 2.0	2003	64 bits	64 bits	266 MHz	2,1 GB/s	1 ciclo	Suplantado PCIe
PCI Express V1	2004	Serial	Serial	2,5 GHz	2,5 GT/s	32 lanes max.	full duplex 8b/10b
PCI Express V2	2007	Serial	Serial	5,0 GHz	5,0 GT/s	32 lanes	x16 (16 lanes)
PCI Express V3	2010	Serial	Serial		8,0 GT/s	32 lanes	128b/130b

PCMCIA (ISA)	1990/91	16 bits	32 bits	8,33 MHz	16,7 MB/s	1 ciclo	Notebooks
PCMCIA (2)	1993	16 bits	32 bits	10 MHz	20 MB/s	1 ciclo	rev. 2.1
CardBus (PCI)	1995	32 bits	32 bits	33 MHz	133 MB/s	1 ciclo	comp. mecanica

ISA: Industry Standard Architecture

EISA: Extended ISA

PCI: Peripheral Component Interconnect Site: www.pcisig.com

PCMCIA: Personal Computer Memory Card International Association

DDR: Double Data Rate

QDR: Quad Data Rate

ODR: Octal Data Rate

ECC: Error Correcting Code

Barramento para placas Gráficas

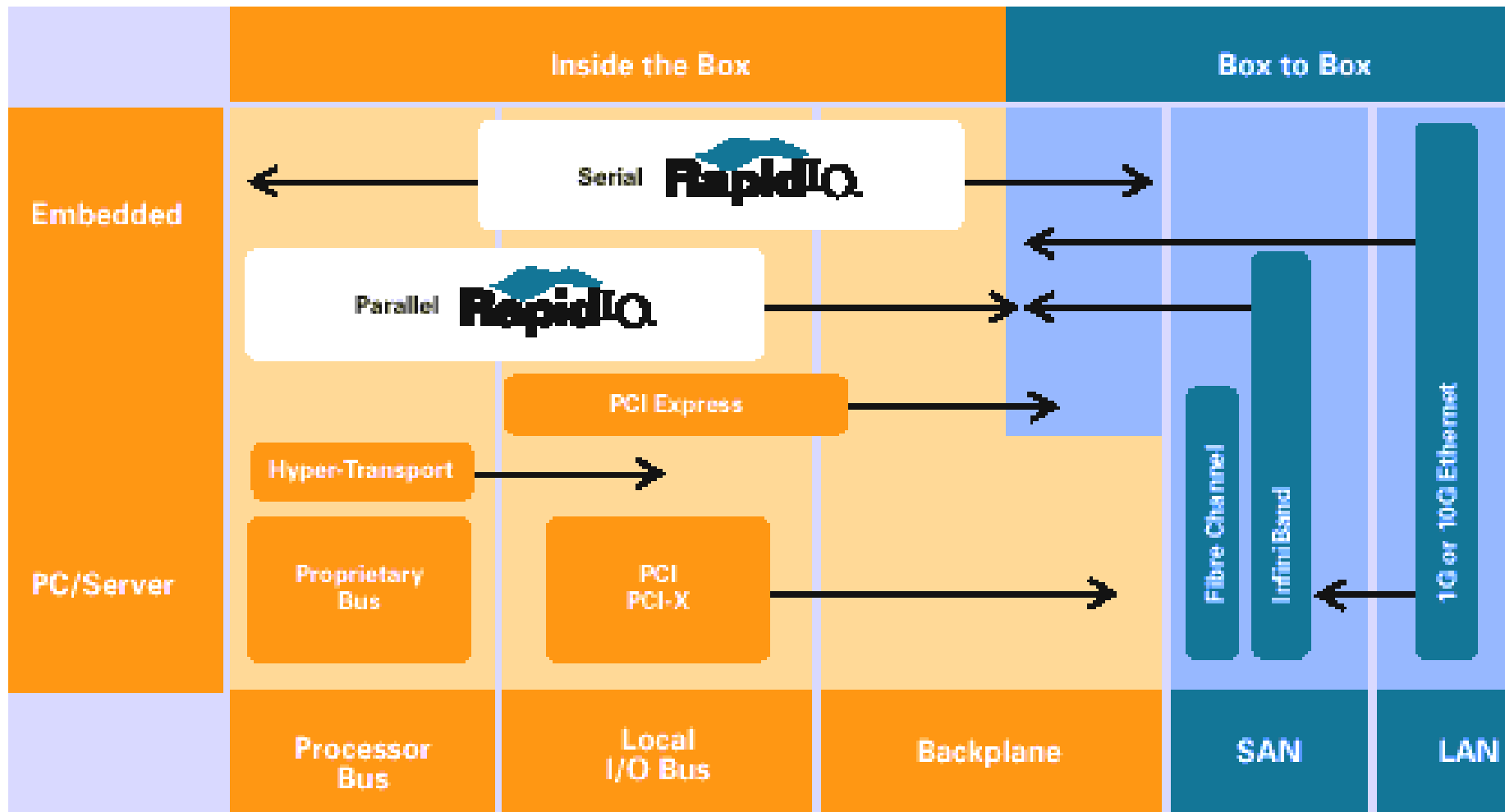
Nome	Ano	Dados	Endereço	Frequência	Velocidade	Ciclos	OBS
VESA	1992	32 bits	32 bits	33 MHz	133 MB/s	1 ciclo	extensão ISA
AGP	1996	32 bits	32 bits	66 MHz	266 MB/s	1 ciclo	Video Port Intel
AGP 2x, 4x (2)	1998	32 bits	32 bits	66 MHz	1 GB/s	meio, 1/4 ciclo	DDR, QDR, 3,3v
AGP 8x (3)	2002	32 bits	32 bits	66 MHz	2,1 GB/s	1/8 ciclo	ODR

VESA: Video Electronics Standards Association

AGP: Accelerated Graphics Port

Conexão ponto a ponto com o processador

Site Oficial: www.agpforum.org



Rapid IO: - interface de alto desempenho (1 Gbps até 60 Gbps) e baixa latência para interconexão multiponto entre dispositivos internos do computador.

- baseado em transferência de pacotes
- desenvolvimento **Motorola**: compete com Hyper Transport (AMD) e PCI Express (Intel)
- versão paralela e serial

PCI Express: versão serial do PCI, compatível em software

- ponto a ponto, 1 a 32 linhas
- 2,5 Gbps por linha (ou 250 MB/s): 8 GB/s para 32 linhas

DISCOS: PADRÕES DE INTERFACES

Barramento Paralelo para Drives (HD, CD-ROM, etc) do IBM-PC

Padrões de interface para discos: define o nível físico, elétrico e protocolo de sinalização

Velocidade depende do modo de transferência: PIO (I/O Programado), DMA-M (DMA Multiword), DMA-U (Ultra DMA)

O software e o disco determinam o modo utilizado. O endereçamento é definido por CHS (Cilindro, Head / Cabeçote, Setor)

Padrão	Nome	Ano	Dados	Controle de Acesso	Frequência	Velocidade	OBS
ATA-1	IDE	1985 / 1991	8 / 16 bits	PIO (0 a 2)	8,33 MHz	8,33 MB/s	2 disp. cabo 40 vias
ATA-2	EIDE / Fast ATA	1994	8 / 16 bits	PIO (0 a 4)	8,33 MHz	16,7 MB/s	4 dispositivos
ATA-3		1997	16 bits	PIO (4), DMA-M (1, 2)	8,33 MHz	16,7 MB/s	Inclui CRC, ATAPI
ATA-4	Ultra ATA 33	1998	16 bits	PIO (4), DMA-M (1, 2), DMA-U (0 a 2)	8,33 MHz	33 MB/s	DDR
ATA-5	Ultra ATA 66	2000	16 bits	PIO (4), DMA-M (1, 2), DMA-U (0 a 4)	16,7 MHz	66 MB/s	Cabo de 80 vias
ATA-6	Ultra ATA 100	2002	16 bits	PIO (4), DMA-M (1, 2), DMA-U (0 a 5)	25 MHz	100 MB/s	
ATA-7	Ultra ATA 133	em desenv.	16 bits	PIO (4), DMA-M (1, 2), DMA-U (0 a 6)	33 MHz	133 MB/s	

ATA: Advanced Technology Attachment

IDE: Integrated Drive Electronics

ATAPI: ATA Packet Interface (CD-ROM)

EIDE: Enhanced IDE

40 vias: 16 bits dados, 16 controle, 4 alimentação, 2 audio, 2 terra

80 vias: mais 40 terras para evitar crosstalk

Site oficial: www.t13.org

Serial ATA

Site oficial: www.serialata.org

Compatibilidade de software com os ATA paralelo, baixo custo

Conexão serial ponto a ponto cabo de 7 vias (4 sinal e 3 terra). Hot plug e Hot swap

Padrão	Nome	Ano	Dados	Taxa de Comunicação	Velocidade	OBS
SATA-1	Serial ATA rev. 1	2001	8 / 16 bits	1,5; 3,0; 6,0 Gbps	600 MB/s	
SATA II	adendo à rev. 1	2003	8 / 16 bits	3,0 Gbps	600 MB/s	sup. Servidor
SATA 6 Gb/s	rev. 3.0	2008	8 / 16 bits	6,0 Gbps	600 MB/s	

Ref: www.interfacebus.com

Barramento Paralelo para Drives (HD, CD-ROM, scanner, etc) workstations UNIX, Mac, Servidores Intel

Uso profissional, protocolo e arbitragem complexa. Até 7 (15) unidades mais o controlador.

Padrão	Nome	Ano	Dados	Frequência	Velocidade	OBS
SCSI-1	SCSI-1	1979 / 1986	8 bits	5 MHz	5 MB/s	
SCSI-2	Fast SCSI / Wide	1986 / 1994	8 / 16 bits	10 MHz	10 / 20 MB/s	
	Ultra SCSI / Fast20	1996	8 / 16 bits	20 MHz	20 / 40 MB/s	
	Ultra 2 SCSI / Fast40	1998	8 / 16 bits	40 MHz	40 / 80 MB/s	
SCSI-3	Ultra 3 SCSI / Ultra 160	1999	16 bits	80 MHz	160 MB/s	Detecção Erro CRC
	Ultra 3 SCSI / Ultra 320	2002	16 bits	80 MHz	320 MB/s	
	Dual Ultra 320	2003	2 x16 bits	80 MHz	640 MB/s	

SCSI: Small Computer System Interface

Site oficial: www.scsifaq.org

50 vias: 8 bits dados, 1 paridade, 9 controle, 4 alimentação, reservas, 25 terras

Opção Wide (16 bits de dados): acrescenta mais um cabo, no total: 68 vias.

Barramento Serial para Drives em SANs

Fibre Channel: Conexão serial via cobre ou fibra ótica, encadeados em anel. Cada nó é uma repetidora

Padrão	Nome	Ano	Dados	Taxa Comunicação	Velocidade	OBS
Fibre Channel	Fibre 1; Fibre 2	1988	8 bits/ 10	1,0; 2,0 Gbps	100 / 200 MB/s	Nota 1:
Fibre Channel	Fibre 10		8 bits/ 10	10 Gbps	1000 MB/s	
Fibre Channel	SCSI sobre Fibre					
iSCSI	Internet SCSI	2002				Nota 2:
Serial Attached SCSI	SCSI sobre SATA	2004		3,0 Gbps		vide SATA-1
SAS	SCSI sobre SATA	2009		6,0 Gbps		vide SATA 6 Gb/s

Nota 1: Depende do meio físico: Fibra (10 Gbps, 10 km), Coaxial (1 Gbps, 75 m) ou Par trançado (1 Gbps, 33 m)

Nota 2: Comandos SCSI sobre redes IP (Ethernet, WAN, etc)

SAN: Storage Area Network

Sites Ref.: www.storagesearch.com;

Interconexões

INTERFACES DE COMUNICAÇÃO LOCAL

ETHERNET (IEEE 802.3)

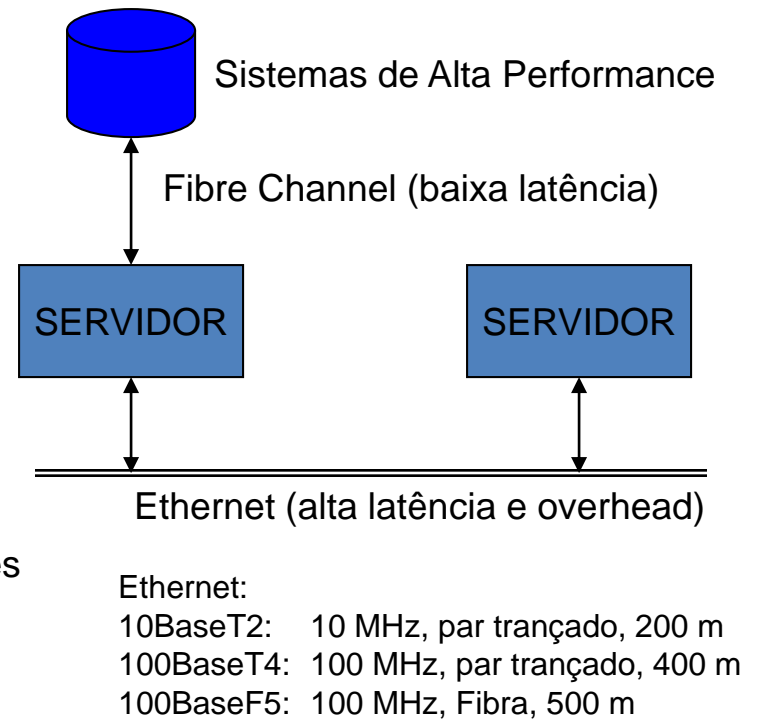
- alta latência
- overhead do protocolo CSMA-CD
- não determinístico
- multiponto: escalável e flexível
- 1 Gbps, 10 Gbps, 100 Gbps (sobre fibra ótica)

FIBRE CHANNEL (transporte de SCSI)

- baixa latência
- configuração em enlaces formando um anel
- determinístico
- ponto a ponto entre enlaces: não permite muitas conexões
- 1 Gbps, 2 Gbps, 4 Gbps, 8 Gbps, 10 Gbps, 20 Gbps

INFINIBAND (www.infinibandta.org)

- baixa latência
- baseado em roteamento de pacotes por hardware (nível transporte)
- ponto a ponto entre nós: escalável e flexível
- 2,5 Gbps, 10 Gbps até 300 Gbps
- Switch: roteia nível enlace; Router: roteia nível rede



ARQUITETURA DO INFINIBAND

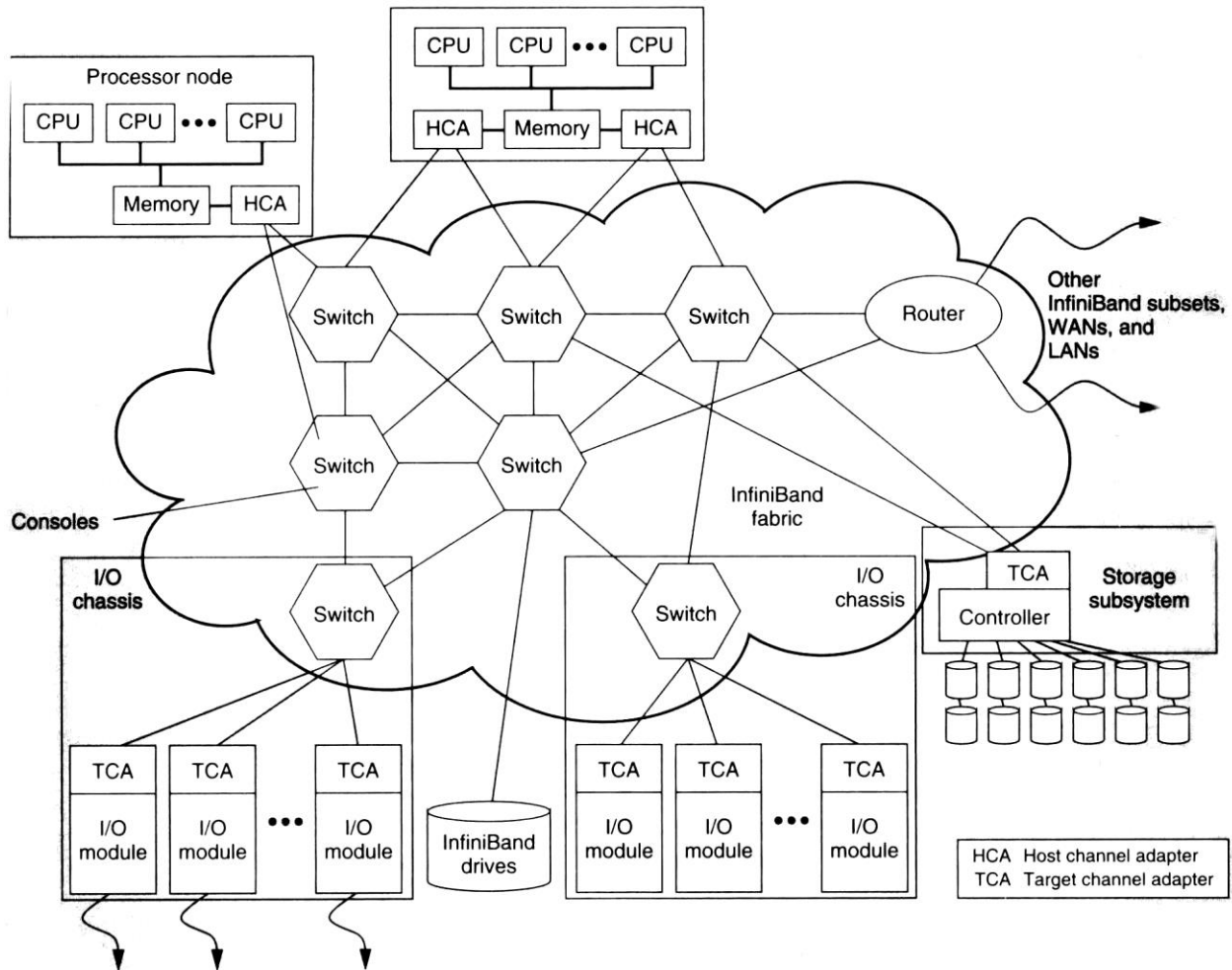
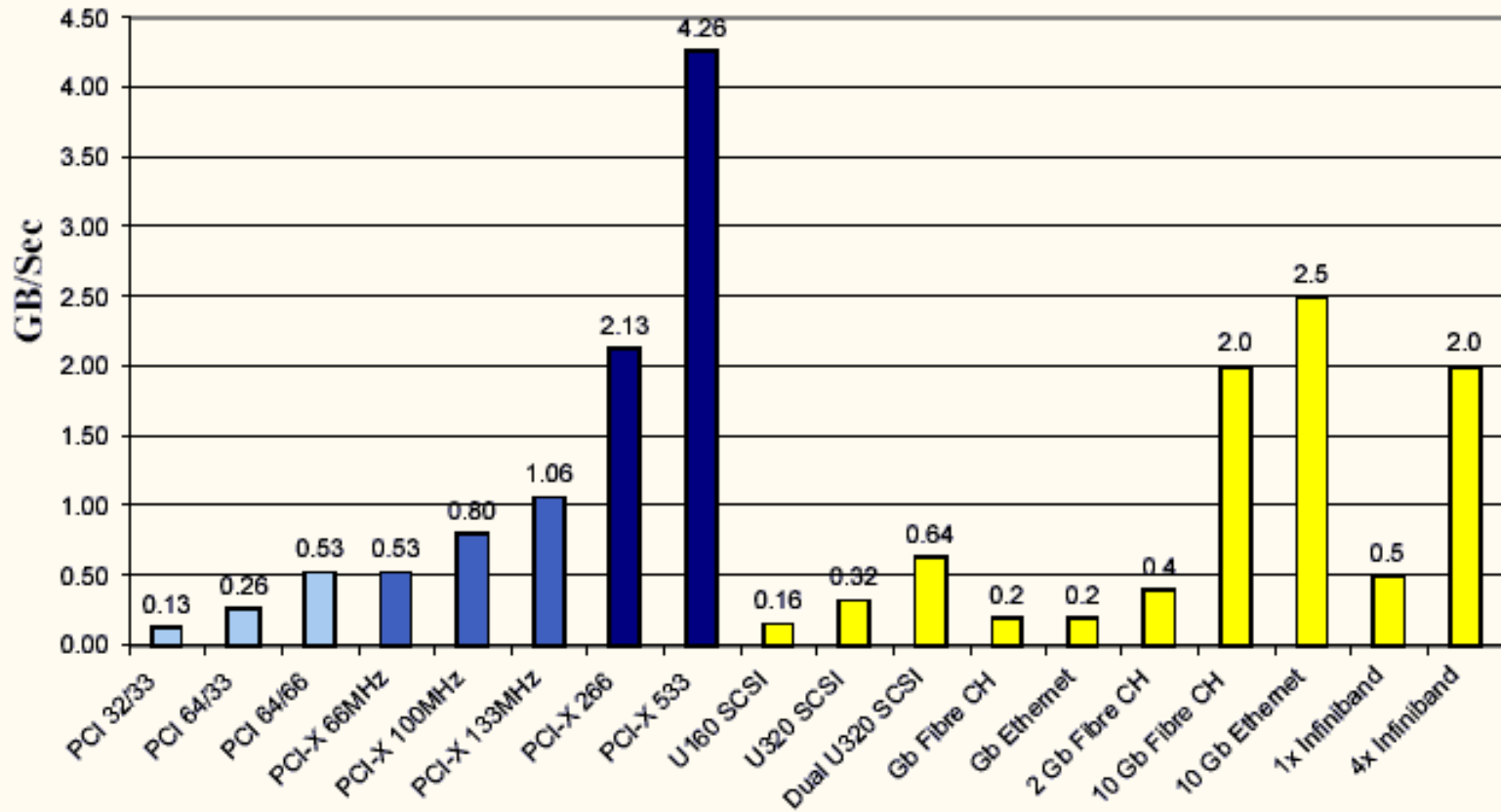
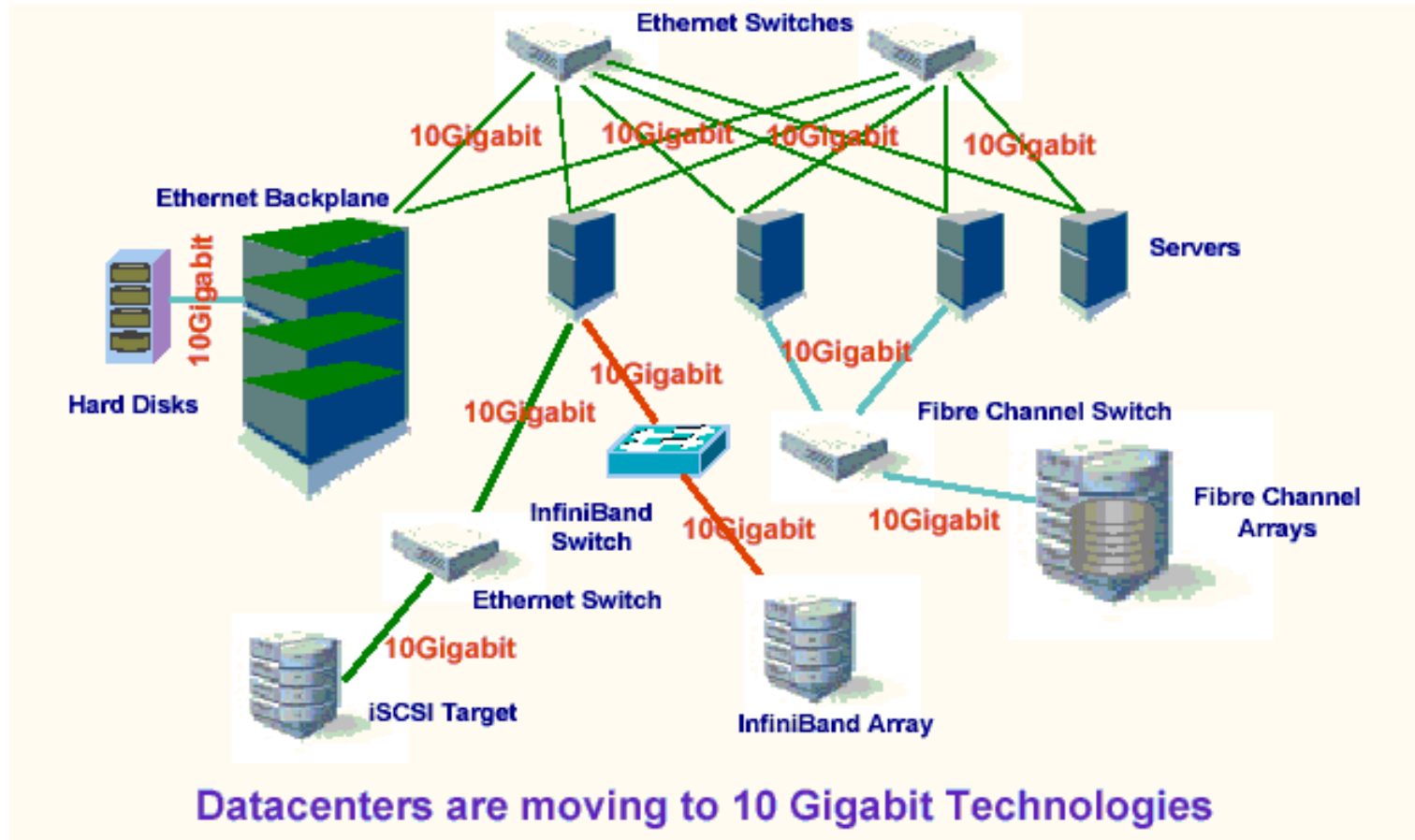


Figure 1. Basic components of an InfiniBand system area network.

COMPARAÇÃO DE VELOCIDADES DE TRANSFERÊNCIA



ARQUITETURA DE SAN: Storage Area Networks



RESUMO DAS INTERCONEXÕES

Nomes	Interconexão	Aplicação	Velocidade	Tipo
HyperTransport	Chip-chip	PCs and embedded systems	400 MB/s to 16 GB/s	Packet-switch, point to point, source synchronous clock, parallel
PCI-X 2.0	Chip-chip	Internal bus, PCs, servers, workstations, and peripherals	2 to 4 GB/s	Parallel, shared bus, globally clocked
Rapid IO	Chip-chip	Telecom, networking, cell phone base stations	400 MB/s to 8 GB/s	Packet-switched, point-to-point, parallel (serial planned)
PCI	Chip-chip, expansion bus	Internal bus, PCs and peripherals	1.1 GB/s	Parallel, shared bus, globally clocked
PCI Express (3GIO)	Expansion bus, chip-chip	PCs and servers	8 GB/s	Packet-switched, point-to-point, serial
InfiniBand	External backplane servers and storage	Data centers and storage networks: server-server, server	2.5/10/30 Gb/s	Packet-switched, point-to-point, serial
Fibre Channel	External backplane server-storage	Storage networks	2 Gb/s scaling to 10 Gb/s	Serial, embedded clock, point-to-point
Fibre Channel over IP (FCIP)	External backplane server-storage	Storage networks	1 Gb/s	Serial, packet-switched, embedded clock, point-to-point
Gigabit Ethernet	External backplane server-storage	Data centers and storage networks	1-10 Gb/s	Serial, packet-switched, embedded clock, point-to-point
iSCSI	External backplane server-storage	Storage networks	1 Gb/s scaling to 10 Gb/s	Serial, packet-switched, embedded clock, point-to-point

ref.: revista IEEE Spectrum Jan / 2003

INTERFACES DE CONEXÃO EXTERNA (CABO SERIAL)

- USB 1.1: 12 Mbps
- USB 2.0: 480 Mbps
- IEEE 1394b (FireWire): 400 Mbps/800 Mbps
- USB 3.0: 5 Gbit/s (625 MB/s)
- USB type-c: 10 Gbps (1,2 MB/s)

Type-A



usbtypec.info

Type-B



Type-C

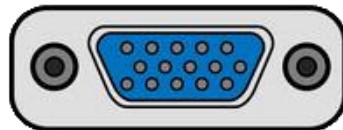


usbtypec.info

INTERFACES DE CONEXÃO EXTERNA (VÍDEO)

- **VESA** VGA: Video Graphics Array (analógico)
- **DVI**: Digital Video Interface (www.ddwg.org)
 - Analógico e digital
 - Padrão monitor digital
- **HDMI**: High-Definition Multimedia Interface
 - Proprietário
 - Audio/Vídeo
 - Puro digital
 - Padrão para dispositivos multimídia
- **DisplayPort / Mini DisplayPort**
 - Free license (Apple)
 - Audio/Vídeo
 - Puro digital

VGA Port

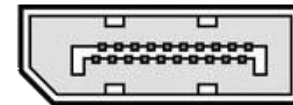


HDMI



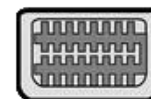
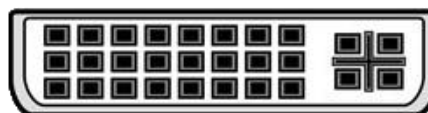
DisplayPort

Video and Audio Port for
Home Theater Systems



MiniDP

Digital Video Interface



INTERFACES DE CONEXÃO EXTERNA (PERIFÉRICOS)

Sem Fio (Wireless)

- IEEE 802.11 (a, b, g, n, ac, ad, ah) Wi-Fi
- Bluetooth
- IrDA
- NFC

